

(12)特許協力条約に基づいて公開された国際出願

(19) 世界知的所有権機関  
国際事務局(43) 国際公開日  
2004 年 1 月 22 日 (22.01.2004)

PCT

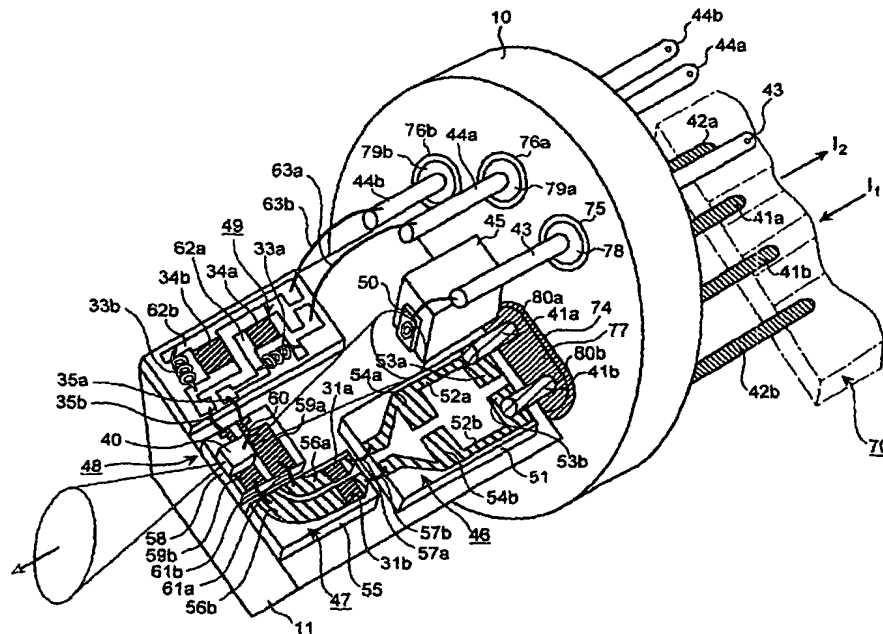
(10) 国際公開番号  
WO 2004/008593 A1

- (51) 国際特許分類<sup>7</sup>: H01S 5/022, G02B 6/42 (72) 発明者; および  
(21) 国際出願番号: PCT/JP2003/008857 (75) 発明者/出願人 (米国についてのみ): 有賀 博 (ARUGA, Hiroshi) [JP/JP]; 〒100-8310 東京都千代田区丸の内二丁目2番3号三菱電機株式会社内 Tokyo (JP). 高木 晋一 (TAKAGI, Shinichi) [JP/JP]; 〒100-8310 東京都千代田区丸の内二丁目2番3号三菱電機株式会社内 Tokyo (JP). 酒井 清秀 (SAKAI, Kiyohide) [JP/JP]; 〒100-8310 東京都千代田区丸の内二丁目2番3号三菱電機株式会社内 Tokyo (JP).  
(22) 国際出願日: 2003 年 7 月 11 日 (11.07.2003)  
(25) 国際出願の言語: 日本語  
(26) 国際公開の言語: 日本語  
(30) 優先権データ: 特願2002-204780 2002 年 7 月 12 日 (12.07.2002) JP  
(71) 出願人 (米国を除く全ての指定国について): 三菱電機株式会社 (MITSUBISHI DENKI KABUSHIKI KAISHA) [JP/JP]; 〒100-8310 東京都千代田区丸の内二丁目2番3号 Tokyo (JP). (74) 代理人: 酒井 宏明 (SAKAI, Hiroaki); 〒100-0013 東京都千代田区霞が関三丁目2番6号東京倶楽部ビルディング Tokyo (JP).  
(81) 指定国 (国内): CA, US.

[続葉有]

(54) Title: PACKAGE FOR OPTICAL SEMICONDUCTOR

(54) 発明の名称: 光半導体用パッケージ



(57) Abstract: There are provided a stem (10) having an aperture (74); a dielectric (77) fitted into the aperture (74) of the stem (10) and having a pair of pin insertion apertures (80a, 80b); and a pair of high frequency signal pins (41a, 41b) inserted through and fixed at the pair of pin insertion apertures (80a, 80b) of the dielectric (77) and constituting differential lines connected to an optical semiconductor element (LD) (40).

(57) 要約: 孔 (74) を有するステム (10) と、ステム (10) の孔 (74) に封入されるとともに、一対のピン挿入孔 (80a、80b) を有する誘電体 (77) と、誘電体 (77) の一対のピン

[続葉有]



(84) 指定国 (広域): ヨーロッパ特許 (AT, BE, BG, CH, CY, CZ, DE, DK, EE, ES, FI, FR, GB, GR, HU, IE, IT, LU, MC, NL, PT, RO, SE, SI, SK, TR).

2文字コード及び他の略語については、定期発行される各PCTガゼットの巻頭に掲載されている「コードと略語のガイダンスノート」を参照。

添付公開書類:

— 国際調査報告書

## 明 細 書

## 光半導体用パッケージ

## 5 技術分野

この発明は、半導体レーザなどの光半導体素子が搭載される光半導体用パッケージに関し、さらに詳しくは光ファイバが付属した同軸型モジュールや、光ファイバを接続するためのレセプタクル型アダプタ付きの光半導体素子モジュールに関するものである。

10

## 背景技術

近年、光ファイバを介して光信号を伝送する光通信システムにおいては、インターネットの普及に伴う通信トラフィックの増大に応えるため、光信号の伝送速度の高速化が目覚しく、光送受信器においてもその伝送速度が 2.5 Gb/s から 10 Gb/s へと移行しつつあり、現在、40 Gb/s の伝送速度の実現に向けて研究開発が進められている。これに伴ない、光送受信器の扱う信号の伝送速度についても、高速化が要求されている。

15

光送受信器は、送信するデータ信号を電気信号から光信号に変換し、送信用の光ファイバを介して光信号を送信するとともに、受信用の光ファイバを介して光信号を受信し、受信した光信号を電気信号として再生するものである。

20

この種の光送受信器に用いられる光半導体用パッケージとしては、キャンパッケージ、箱形パッケージなどがある。キャンパッケージを用いた従来技術としては、特開平 6-314857 号公報、特開平 11-233876 号公報などがある。

25

特開平 6-314857 号公報には、ガラス封止の貫通リードピンを有する単相給電方式の光半導体モジュールに関する開示がある。また特開平 11-233876 号公報には、金属ステムに、別個の誘電体で封止された一対の離間された

信号ピンを設け、差動ドライバの一方の出力を一方の信号ピンを介してレーザダイオードの一方の電極に接続し、差動ドライバの他方の出力をダミー負荷を介し、さらに仮想接地線を介してレーザダイオードの他方の電極に接続して、レーザダイオードを駆動するようにした技術が示されている。

5      上記各公報に示されるような単相のキャンパッケージでは、単相方式であるため、 $10\text{Gb/s}$  以上の変調信号の伝送を行う際には、フィードスルー（ピンが誘電体に覆われた部分）の前後（ピンが誘電体から空気層に露出した部分）でインピーダンスが不整合となり易く、高周波伝送特性が劣化する問題があり、 $2.5\text{Gb/s}$  程度の信号伝送までにしか利用されていない。

10      なお、特開平 11-233876 号公報は、差動ドライバにとっての各負荷インピーダンスを同じにして、高速動作時の安定性を図るものでしかなく、信号ピンおよび信号ピンからレーザダイオードまでの線路も差動線路構成としたものではなく、またダミー用抵抗を外部に配置しており、 $10\text{Gb/s}$  以上の変調信号の伝送において信号品質が劣化する。また、この従来技術は、レーザダイオード  
15      にとってみれば、アノードとカソードにそれぞれ正相と逆相の差動信号が与えられていないため、差動駆動されるものではない。

箱形パッケージを用いた従来技術としては、特開 2000-164970 号公報、特開 2000-19473 号公報などがある。特開 2000-164970 号公報には、グラデッドコプレーナ基板のフィードスルーとマイクロストリップ  
20      基板とを接続する単相給電方式の箱型パッケージあるいはマイクロストリップ基板のフィードスルーとマイクロストリップ基板とを接続する単相給電方式の箱型パッケージに関する開示がある。特開 2000-19473 号公報には、グラデッドコプレーナ基板のフィードスルーとマイクロストリップ基板とを接続する単相給電方式の箱型パッケージあるいはグラデッドコプレーナ基板のフィードスルー  
25      とグラデッドコプレーナ基板とを接続する単相給電方式の箱型パッケージ、さらには同軸コネクタのフィードスルーとマイクロストリップ基板とを接続する単相給電方式の箱型パッケージに関する開示がある。

この種の箱形パッケージでは、セラミック基板とその上面に設けられた金属パターンでマイクロストリップ線路を構成し、給電線路を精度良く造れるので、レーザーダイオードに供給される入力信号の劣化が小さい。しかし、セラミック基板自体が単位面積当たり高価であること、フィードスルーを構成しようとする多層セラミックとなること、多層セラミックとリードとを接合する点で、蝟付けなどの工程が必要になり、手間がかかることにより、パッケージが高価となる問題がある。また、セラミックパッケージの使用によって、パッケージが大型化してしまう。

この種の光送受信器の分野では、光通信を、幹線系だけでなく、オフィスや家庭などのアクセス系までの市場に広めるためにも、低コストでかつ10Gb/s以上の光伝送を実現することができる光半導体素子モジュールが強く要望されている。

しかし、特開平6-314857号公報や特開平11-233876号公報に記載されるような従来の光半導体素子モジュールに用いられるキャン型のパッケージでは、フィードスルーの前後でインピーダンスが不整合となり易く、高周波伝送特性が劣化するという問題があった。従って、上述のような10Gb/s以上のビットレートの信号伝送に耐えることができない。

また、特開2000-164970号公報、特開2000-19473号公報などに記載されるような、セラミックで形成された外部端子の設けられた従来の光半導体素子モジュールに用いられる箱形パッケージでは、10Gb/s以上のビットレートで信号伝送することは可能であるものの、セラミック基板自体が単位面積当たり高価であること、フィードスルーを構成しようとする多層セラミックとなること、多層セラミックとリードとを接合する点で、蝟付けなどの工程が必要になり、手間がかかること、あるいはパッケージが高価となるなどの問題があった。

従って、この発明は、コストを安く維持できるとともに、高周波伝送特性が良好で、10Gb/s以上の高速動作が可能な光半導体用パッケージを提供するこ

とを目的としている。

#### 発明の開示

この発明にかかる光半導体用パッケージは、光半導体素子を搭載する光半導体  
5 用パッケージであって、孔を有するステムと、前記ステムの孔に封入されるとと  
もに、一対のピン挿入孔を有する誘電体と、前記誘電体の一対のピン挿入孔に貫  
通固定され、前記光半導体素子に電氣的に接続される差動線路を構成する一対の  
高周波信号ピンとを備えることを特徴とする。

また、前記誘電体は、ガラスであってもよい。

10 また、前記ステムは、前記誘電体の外側に配置され、誘電体とほぼ同じ熱膨張  
係数を有する第1の部材と、該第1の部材の外側に配され、第1部材より熱伝導  
性の高い第2の部材とを備えていてもよい。

また、前記誘電体は透明または半透明であってもよい。

また、前記ステムに形成される孔は、長円形状、楕円形状、もしくは藕型であ  
15 ってもよい。

また、前記一対の高周波信号ピンに並走するグランド部材を前記ステムに設け  
てもよい。

また、前記グランド部材は一対のグランドピンであり、この一対のグランドピ  
ンは、前記一対の高周波信号ピンを挟むように一対の高周波信号ピンの外側に設  
20 けられていてもよい。

また、前記光半導体素子として、半導体レーザダイオードを備えるとともに、  
一端側が前記一対の高周波信号ピンに接続され、他端側が前記光半導体素子の一  
対の電極に接続される一対の差動線路を有する差動線路基板と、一端側が前記光  
半導体素子の一対の電極に接続され、他端側が外部のバイアス電流源に接続され  
25 る一対のインダクタンス素子とをさらに備えていてもよい。

また、前記差動線路基板の一対の差動線路にスタブをそれぞれ形成してもよい。

また、前記スタブは、互いの差動線路に接近する方向に突出形成されていても

よい。

また、その端部が前記ステムに固定されることにより、光半導体素子を内蔵する内部空間を密閉するキャップを更に備えていてもよい。

また、つぎの発明は、光半導体素子および該光半導体素子との間で差動信号が  
5 伝送される集積回路を収容する光半導体用パッケージにおいて、パッケージの壁面に封入固定されるとともに、一对のピン挿入孔を有する誘電体と、前記一对のピン挿入孔に貫通固定される、差動線路を構成する一对の信号ピンとを備え、前記一对の信号ピンを介して前記集積回路との間で差動信号が伝送されることを特徴としている。

10

#### 図面の簡単な説明

第1図は、この発明にかかる光半導体用パッケージの外観構成を示す斜視図であり、第2図は、この発明にかかる光半導体用パッケージとレセプタクルが接続されたLDモジュールの外観構成を示す斜視図であり、第3図は、LDモジュールの水平及び垂直断面図であり、第4図は、キャンパッケージ内の構成要素およびLD駆動回路の等価回路図であり、第5図は、実施の形態1のキャンパッケージの内部構成を示す斜視図であり、第6図は、実施の形態1のキャンパッケージの内部構成を示す平面図であり、第7図は、ステムとピンと台座の配置関係などを示すための図であり、第8図は、誘電体内に発生する泡を示すための図であり、  
15 第9図は、従来と実施の形態1のフィードスルーの断面を、模式的に示した図であり、第10図は、従来と実施の形態1のフィードスルーにおけるガラス半径と特性インピーダンスとの関係を示す図であり、第11図は、スタブの配置の変形態様を示す図であり、第12図は、各種構成要素の一般的なレイアウトを示すための図であり、第13図は、LDとPDとの配置条件を説明するための図であり、  
20 第14図は、LDからの出射光の光強度分布を示す図であり、第15図は、LDとPDとの配置状態を説明するための図であり、第16図は、ステムに配される長円形状の誘電体の近傍の拡大図であり、第17図は、実施の形態1の変形態様

を示す図であり、グラundedコブレナ差動線路を示す図であり、第18図は、実施の形態1の変形態様を示す図であり、第19図は、この発明の実施の形態2を説明するための図であり、誘電体の他の形状を示す図であり、第20図は、この発明の実施の形態3を説明するための図であり、多重構造誘電体を示す図であり、第21図は、この発明の実施の形態4を説明するための図であり、第22図は、この発明の実施の形態5を説明するための図であり、第23図は、この発明の実施の形態6を説明するための図である。

#### 発明を実施するための最良の形態

以下に添付図面を参照して、この発明にかかる光半導体用パッケージの好適な実施の形態を詳細に説明する。この実施の形態の光半導体用パッケージは、例えば、ビル内に設置されたサーバ間の接続、異なるビルに設置されたサーバ間の接続などのローカルエリアネットワークに適用される光半導体素子モジュールで使用されるものである。

#### 実施の形態1.

第1図～第17図に従って、この発明の実施の形態1の光半導体素子モジュールに用いる光半導体用パッケージについて説明する。この実施の形態1の光半導体用パッケージは、安価なキャンパッケージ型のモジュール形態を採用しており、パッケージ内には光半導体素子としてレーザダイオード（以下LDという）が内蔵されている。また、本明細書では、光半導体用パッケージとは、密閉用のキャップ（蓋）がないものも含めた総称であるとする。

第1図は光半導体用パッケージ（以下キャンパッケージという）1の外観構成を示すもので、第2図はキャンパッケージ1およびレセプタクル2から構成される光半導体素子モジュール（以下、この実施の形態では主にLDを搭載した例を示すので、LDモジュールと呼ぶ）3の外観構成を示すもので、第3図（a）（b）はLDモジュール3の水平断面（第2図のx軸に平行な方向）、垂直断面図（第2図のy軸に平行な方向）を示すものである。



第1図～第3図に示すように、キャンパッケージ1は、バイアス給電ピン、高周波信号ピンなどがマウントされる円板状のステム10と、複数のセラミック基板が搭載される台形柱状の台座11（台座ブロック）と、LD40から発生されたレーザ光を集光する集光レンズ12と、台座11などを外部から密閉するための円筒形のキャップ13などを備えている。

キャップ13は、第3図に示すように、プロジェクション溶接などによってステム10に固定される第1キャップ部材13aと、この第1キャップ部材13aの先端側に外嵌されてYAG溶接などによって第1キャップ部材13aに固定される第2キャップ部材13bとから成る2段円筒形状を成している。具体的には、第1キャップ部材13aは段付きの外筒を有し、太い径の外筒の先に細い径の外筒が設けられている。この細い径の外筒の外周に対して、第2キャップ部材13bの一端側の内筒が嵌合し、貫通YAG溶接によって第1キャップ部材13aと第2キャップ部材13bが固定される。

第1キャップ部材13aの先端側には、レンズ挿入用の孔14が形成されており、この孔14に集光レンズ12が挿入される。集光レンズ12は、ネジ、接着材などによって第1キャップ部材13aに固定される。第1キャップ部材13aの内部空間15は、ガラス製のウィンドウ16によって外部から画成されており、これにより台座11が収納される内部空間15を気密状態に保つようにしている。なお、集光レンズ12をキャップ13の孔14に接着固定するによって、内部空間15を気密状態に保つことが可能な場合は、ウィンドウ16を省略してもよい。

第2キャップ部材13bの集光レンズ12に対向する部分（他端側）には、レーザ光を通過させるための孔17が形成されている。この第2キャップ部材13bを第1キャップ部材13aに対して摺動させ、レーザ光軸方向に位置決め調整し、第1キャップ部材13aにYAG溶接固定することで、集光レンズ12とレセプタクル2内のダミーフェルール18とのレーザ光軸方向の位置合わせを行う。

レセプタクル2は、光ファイバ20が接続されたフェルール21（第2図参照）が挿入されるフェルール挿入孔19を有している。フェルール挿入孔19内の

- キャンパッケージ 1 側には、内部に光ファイバ 18 a が配設されているダミーフェルール 18 が圧入され固定されている。レセプタクル 2 におけるダミーフェルール 18 が固定される側の一端面は、YAG 溶接による突き合わせ溶接などによってキャンパッケージ 1 の第 2 キャップ部材 13 b の他端側の端面に固定される。
- 5   レセプタクル 2 を第 2 キャップ部材 13 b に固定する際に、互いの接合面を当接させた状態でレーザ光軸方向に垂直な 2 つの方向に対する位置決め調整を行うことで、集光レンズ 12 とレセプタクル 2 内のダミーフェルール 18 とのレーザ光軸に直角な 2 つの方向に関する位置合わせを行う。

- 光ファイバ 20 が接続されているフェルール 21 は、フェルール 21 がレセプタクル 2 のフェルール挿入孔 19 に挿入されたとき、ダミーフェルール 18 の方にフェルール 21 を押圧し、かつフェルール 21 をレセプタクル 2 にロック固定するための適宜の機構（図示せず）を有している。したがって、フェルール 21 がレセプタクル 2 のフェルール挿入孔 19 に挿入されると、ダミーフェルール 18 の光ファイバ 18 a とフェルール 21 内の光ファイバ 20 の端面同士が当接し、
- 10   これによりファイバ間が接続（光結合）される。

つぎに、キャンパッケージ 1 内の構成について説明する。キャンパッケージ 1 内の構成を説明する前に、キャンパッケージ 1 内の各構成要素の等価回路を第 4 図を用いて説明する。

- 第 4 図は、キャンパッケージ 1 内の各構成要素の回路構成およびキャンパッケージ 1 内の LD 40 を駆動する LD 駆動回路 100 の回路構成例を示すものである。LD 駆動回路 100 は、キャンパッケージ 1 と電気接続される外部基板に搭載されている。なお、外部基板には、グランドドコプレナ差動線路 70（第 5 図、第 6 図参照）が設けられている。
- 20

- LD 駆動回路 100 は、差動型の入力構成を有する入力バッファ 102 と、正相信号および逆相信号を出力する差動構成をなす一対のトランジスタ 103、104 と、バイアス定電流源としてのトランジスタ 105 と、インピーダンス整合をとるための抵抗 106、107 とを備えている。
- 25

入力バッファ 102 は、入力される正相信号と逆相信号の波形を整形し、整形した正相信号と逆相信号をトランジスタ 103 および 104 のベースに出力する。

差動構成をなす一対のトランジスタ 103, 104 は、差動増幅器を構成する。トランジスタ 103, 104 の夫々のコレクタ側は、抵抗 106 および 107 に  
5 接続されている。抵抗 106, 107 の他方側は接地端子に接続されている。トランジスタ 103, 104 の夫々のエミッタは、定電流源であるトランジスタ 105 のコレクタに接続されている。トランジスタ 103 のベースは入力バッファ 102 の逆相信号出力端子に接続され、トランジスタ 104 のベースは入力バッファ 102 の正相信号出力端子に接続されている。すなわち、正相の入力された  
10 トランジスタ 104 は正相信号  $I_2$  を、逆相の入力されたトランジスタ 103 は逆相信号  $I_1$  を、トランジスタ 105 にて決定される電流値に変換して出力する。トランジスタ 105 のエミッタ側が負電源  $V_{ee1}$  に接続されている。

トランジスタ 103, 104 のエミッタ側の出力端子は、マイクロストリップ差動線路やグラunded コプレーナ差動線路や後述する高周波信号ピンなどで構成  
15 される分布定数回路 30、整合抵抗 31a, 31b を介して LD40 の一対の電極（カソード、アノード）に接続されている。

キャンパッケージ 1 側は、分布定数回路 30 と、 $20\Omega$  程度のインピーダンス整合用の抵抗 31a, 31b と、集光レンズ 12 と、高周波インピーダンスが  
20  $5\Omega$  程度の LD40 と、高周波インピーダンスが大きいインダクタンス素子としての空芯ソレノイド 33a, 33b と、空芯ソレノイド 33a, 33b に並列接続される共振防止抵抗 34a, 34b と、LD40 と空芯ソレノイド 33a, 33b とを接続するためのワイヤボンダ 35a, 35b とを備えている。

LD40 のカソード側は、ワイヤボンダ 35a と、このワイヤボンダ 35a に直列に接続された空芯ソレノイド 33a と、共振防止抵抗 34a の並列回路を介  
25 してバイアス定電流源 36 の一端に接続されている。バイアス定電流源 36 の他端は負電源  $V_{ee2}$  に接続されている。LD40 のアノード側は、ワイヤボンダ 35b と、このワイヤボンダ 35b に直列に接続された空芯ソレノイド 33b と、

共振防止抵抗 34b の並列回路を介して接地されている。なお、空芯ソレノイド 33a と 33b は、いずれも整合抵抗 31a と 31b よりも LD40 に近い側で LD40 の一対の電極に電氣的に接続されている。負電源  $V_{ee1}$  と負電源  $V_{ee2}$  は同じ電源としたほうが好ましいが、別の電源としてもよい。

5      この LD40 の駆動構成によれば、LD40 のカソード、アノードにソレノイド 33a, 33b を介してバイアス電源（第4図のバイアス定電流源 36、および接地端子）に接続し、かつ差動型の一対のトランジスタ 103, 104 によって LD40 のカソード、アノードに高周波の変調信号を差動で入力するようにしている。

10      すなわち、LD 駆動回路 100 のトランジスタ 104 が OFF から ON（トランジスタ 103 が ON から OFF）になると、LD40 に電流が流れ、LD40 からのレーザ光出力は OFF から ON となる。また、トランジスタ 104 が ON から OFF（トランジスタ 103 が OFF から ON）になると、LD40 に流れる電流が小さくなり、LD40 からのレーザ光出力は ON から OFF となる。

15      このように、LD 駆動回路 100 の差動トランジスタ 103, 104 より出力された変調電気信号は、分布定数回路 30 などを通じて LD40 に伝送され、LD40 において変調電気信号が光変調信号に変換される。LD40 から発生された光変調信号は、集光レンズ 12 によって光ファイバ 18a に集光され、光ファイバ 18a を通じて出力される。

20      つぎに、第5図～第18図を用いてキャンパッケージ1の各構成要素について説明する。第5図は、キャップ13を外した状態におけるキャンパッケージ1を示す斜視図であり、第6図はその平面図である。また、第7図は、ステムとピンと台座の配置関係などを示すための図である。なお、第6図は、説明の都合上、バイアス給電ピン 44a, 44b と、モニタ信号ピン 43 などの配置位置が、第3図、第5図および第7図とは若干異なっている。

25

第5図～第7図に示すように、キャンパッケージ1は、複数のピンがマウントされた円板状のステム10と、Agロウ付けなどによってステム10の内壁面に

垂直に固定される台形柱状の台座 11 とから構成される。

グラントを構成するステム 10 には、LD 駆動回路 100 からの差動の変調電気信号（以下差動高周波信号ともいう）が伝送される一対の高周波信号ピン 41 a, 41 b と、これら高周波信号ピン 41 a, 41 b の両側に配される 2 本のグラントピン 42 a, 42 b と、モニタ用の受光素子（例えばフォトダイオード、  
5 以下 PD という）50 の信号伝送のための 1 本のモニタ信号ピン 43 と、LD 40 に対して外部の直流バイアス電流源からバイアス電流を供給する一対のバイアス給電ピン 44 a, 44 b と、モニタ用の PD 50 を搭載するための PD 用チップキャリア 45 とがマウントされている。例えば、高周波信号ピン 41 a から第  
10 4 図に示す正相の電流信号  $I_2$  が引き抜かれるとともに、周波信号ピン 41 b に  
対して第 4 図に示す電流信号  $I_2$  と逆相の電流信号  $I_1$  が与えられる。

これらの信号ピンのうち、高周波信号ピン 41 a, 41 b は、気密を保ったままステム 10 を介して電気信号を通過させるフィードスルーを構成している。後で詳述するが、これら各ピンは、ガラスなどの材料で構成される誘電体を介して  
15 ステム 10 に対し気密封止状態で固定されている。グラントピン 42 a, 42 b は、グラントを構成するステム 10 の外壁面に圧着および溶接によって固着されている。PD 用チップキャリア 45 上にマウントされた PD 50 は、LD 40 から後方に出射されるモニタ光をモニタするためのものである。

ステム 10 に対し台座 11 がほぼ垂直に配設されている。台座 11 の上面には、  
20 マイクロストリップ差動線路基板 46, 47 と、LD 用チップキャリア 48 と、  
バイアス回路用基板 49 とが搭載されている。台座 11 とステム 10 とは表面全体に導電性のメッキが施されている。マイクロストリップ差動線路基板 46, 47 や LD 用チップキャリア 48 の裏面に形成され接地導体層となる平面導体板（以下ベタグラントと呼ぶ）が、台座 11 の上面に半田接合され電氣的に接続され  
25 ている。また、台座 11 は、LD 40 等から発生する熱の放熱経路になっている。

マイクロストリップ差動線路基板 46 は、セラミック基板 51 と、セラミック基板 51 の上面に形成された一対のストリップ差動信号線 52 a, 52 b と、セ

ラミック基板 5 1 の裏面に形成されたベタグラウンド（図示せず）で構成されている。ストリップ差動信号線 5 2 a, 5 2 b の一端側には、ステム 1 0 から突出された高周波信号ピン 4 1 a, 4 1 b と接触させるためのパッド 5 3 a, 5 3 b が形成されている。ストリップ差動信号線 5 2 a, 5 2 b の途中には、互いの信号線に接近するように突出された特性インピーダンスが低い、容量として作用するスタブ 5 4 a, 5 4 b が形成されている。ストリップ差動信号線 5 2 a, 5 2 b は、高周波信号ピン 4 1 a, 4 1 b とのインピーダンス整合のために、ステム 1 0 に近い入力側の部分 5 2 d（第 6 図）では、特性インピーダンスが高くなるよう信号線間隔が大きく設定されている。また、ストリップ差動信号線 5 2 a, 5 2 b は、信号線間隔が徐々に接近する部分と、間隔が接近して平行に配置される出力側部分とを有している。ステム 1 0 にマウントされる高周波信号ピン 4 1 a, 4 1 b の端部は、第 7 図に示すように、マイクロストリップ差動線路基板 4 6 のパッド 5 3 a, 5 3 b にロウ付けまたは半田付けによって接続固定されている。

マイクロストリップ差動線路基板 4 7 は、セラミック基板 5 5 と、セラミック基板 5 5 の上面に形成された一対のストリップ差動信号線 5 6 a, 5 6 b と、セラミック基板 5 5 の裏面に形成されたベタグラウンド（図示せず）で構成されている。ストリップ差動信号線 5 6 a, 5 6 b は、信号線方向を略 9 0 度折り曲げるためのコーナーカーブ部を有している。ストリップ差動信号線 5 6 a, 5 6 b の途中には、インピーダンス整合用の抵抗 3 1 a, 3 1 b（第 4 図参照）がそれぞれ形成されている。ストリップ差動信号線 5 2 a, 5 2 b と、ストリップ差動信号線 5 6 a, 5 6 b とは、ワイヤボンド 5 7 a, 5 7 b によってそれぞれ接続されている。

LD 用チップキャリア 4 8 は、セラミック基板 5 8 と、セラミック基板 5 8 の上面に形成された一対のストリップ差動信号線 5 9 a, 5 9 b と、セラミック基板 5 8 の裏面に形成されたベタグラウンド（図示せず）で構成されるマイクロストリップ差動線路を有し、一方のストリップ差動信号線 5 9 b 上に LD 4 0 の一方の電極であるアノードが直接当接するように、LD 4 0 が搭載されている。LD

40の他方の電極としてのカソードは、ワイヤボンダ60によって他方のストリップ差動信号線59aに接続されている。ストリップ差動信号線56a, 56bと、ストリップ差動信号線59a, 59bとは、ワイヤボンダ61a, 61bによってそれぞれ接続されている。セラミック基板58は、熱伝導性の良い窒化アルミ (AlN) や炭化シリコン (SiC) などの材料から構成されている。LD

5 40としては、10Gb/sの変調が可能な、例えば分布帰還型のレーザダイオード素子が用いられている。

バイアス回路用 (セラミック) 基板49上には、2本の配線パターン62a, 62bと一対のインダクタンス回路 (ソレノイド及び共振防止抵抗の並列回路)

10 が形成されている。一方の配線パターン62aには、空芯ソレノイド33aおよび空芯ソレノイド33bの線間容量とインダクタンスとの共振を防止する共振防止抵抗34aが電氣的に並列接続されるように配置され、他方の配線パターン62bには、同様に、空芯ソレノイド33bおよび共振防止抵抗34bとが電氣的に並列接続されるように配置されている。空芯ソレノイド33aおよび空芯ソレノイド33bは互いの磁界が干渉しないように、各ソレノイド33a, 33bの中心軸 (の延長線) が交差するように、好ましくは直交するように、離間配置されている。2本の配線パターン62a, 62bの一方の各端部は、LD用チップキャリア48のストリップ差動信号線56a, 56bとワイヤボンダ35a, 35bを介して接続されており、配線パターン62a, 62bの他方の端部は、ワイヤボンダ63a, 63bを介してステム10に設けられるバイアス給電ピン44a, 44bに接続される。

15 20

つぎに、キャンパッケージ1の各部の特徴的な構成をより詳細に説明する。まずステム10の構成について詳述する。

第4図に示したLD駆動回路100の差動トランジスタ103, 104から出力される差動高周波信号は、第5図および第6図に示すように、グランドドコプレーナ差動線路70を介してキャンパッケージ1に入力される。グランドドコプレーナ差動線路70は、基板73上に形成された一対の差動信号線71a, 71

25

bと、この一对の差動信号線71a, 71bを挟むように差動信号線71a, 71bの外側に配置されるグランド72a, 72bと、裏面に配置されてグランド72a, 72bに接続されるベタグランド（図示せず）とから構成されている。

グラデッドコプレナ差動線路70の差動信号線71a, 71bは、ステム10に設けられた高周波信号ピン41a, 41bに接続固定されている。グラデッドコプレナ差動線路70のグランド線72a, 72bは、ステム10に設けられたグランドピン42a, 42bに接続固定されている。

ステム10は、コバール（Fe-Ni合金）、軟鉄、あるいはCuW（銅タングステン）などの金属で構成され、通常、その上層に半田付けのためにNiや金などのメッキが施されている。例えば、コバールや軟鉄からなるステム10は金属板を金型で打ち抜いて作ることができ、また、CuWからなるステム10はメタルインジェクションモールドで作ることができ、製造が簡単なので、コストが安い。ステム10には、複数の孔74, 75, 76a, 76bが分散して形成されており、これらの孔74, 75, 76a, 76bに、誘電体77, 78, 79a, 79bが挿入される。

誘電体77には一对のピン挿入孔80a, 80bが形成され、これらのピン挿入孔80a, 80bに高周波信号ピン41a, 41bが挿入固定される。同様に、誘電体78, 79a, 79bには、孔（符号は省略）がそれぞれ形成され、これらの各孔にモニタ信号ピン43およびバイアス給電ピン44a, 44bが挿入固定される。一对の高周波信号ピン41a, 41bが挿入される誘電体77の形状は、この場合長円形状を呈している。これに対応して、誘電体77が挿入される孔74も長円形状を呈している。その他の誘電体78, 79a, 79bは、円形状としている。なお、グランドピン42a, 42bは、ステム10を貫通されておらず、前述したように、ステム10の外壁面10z（第6図、第7図）に圧着および溶接によって固着されている。

ここで、2本の高周波信号ピン41a, 41bは、高周波特性を考慮し、誘電体77の少なくとも一方の外側に突出される部分の長さ（LD40側への突出長



）が、モニタ信号ピン43およびバイアス給電ピン44a, 44bの同突出長よりも短く設定されており、高周波信号ピン41a, 41bを伝送される信号が、誘電体77の外側にでると、即座にマイクロストリップ差動線路基板46の差動信号線52a, 52bに乗り移れるようにしている。モニタ信号ピン43および

5 バイアス給電ピン44a, 44bの方は、高周波特性の厳しい制約がないので、ある程度の突出長を確保して、ワイヤボンドの接続作業などを容易にしている。

誘電体77, 78, 79a, 79bとしては、例えば、コパールガラスを使用するのが好ましく、ほうけい酸ガラスなどを使用しても良い。ここで、コパールガラスは、誘電率  $\epsilon_r = 4 \sim 5$  である。また、高周波信号ピン41a, 41b、

10 モニタ信号ピン43、バイアス給電ピン44a, 44b、グランドピン42a, 42bとしては、例えばコパール、50%Ni-F e合金などの金属を使用する。

高周波信号ピン41a, 41b、モニタ信号ピン43およびバイアス給電ピン44a, 44bと、誘電体77, 78, 79a, 79bとをステム10に挿入固定する際には、誘電体挿入用の孔74, 75, 76a, 76bが形成されたステム10上に誘電体77, 78, 79a, 79bを載置した状態で振動を加えることにより、誘電体77, 78, 79a, 79bを孔74, 75, 76a, 76bに落とし込み、さらに同様にしてピン41a, 41b, 43, 44a, 44bを誘電体77, 78, 79a, 79bに形成された孔80a, 80bなどに落とし込む。そして、この状態で複数のステム10を図示しないカーボン治具に挿入し、

15

20 その後、一気に電気炉の中で熱をかけることで誘電体を一時的に溶融し、誘電体およびピンをステム10に固定する。

ステム10と、台座11とを別体として製造する場合は、台座11はステム10に対しA gロウ付けなどによって接続固定される。勿論、ステム10と台座11とを一体物として製造するようにしてもよい。

25 因みに、上記のように2本の金属ピンを長円形状の誘電体（ガラス）77で固定する構造ではなく、ガラスビーズの溶融により金属ピンを固定し、給電線路を構成するようにした場合は、高周波用の同軸コネクタの例に見るように、十分な

製造管理のもとで製造すれば、性能がでるが、ガラスビーズを熔融固化するので、ピン貫通孔に封入されるガラスが固化する際に形状がばらつく、ピンが倒れる、あるいはモジュール内の給電線路との接続位置が不均一になるなどの理由により、インピーダンスのミスマッチを起こしやすい。その結果、LD 40に入力される信号波形にジッタが発生し、光出力波形が劣化するなどの問題が発生しやすい。

つぎに、ステム10、信号ピン41a、41b、…、誘電体77、78、…および台座11の材料について考察する。これらの材料を選択する際には、どのような特性を最適にするかによって材料は変わってくる。

(1) 誘電体(ガラス)に発生するクラックを防止する。

インピーダンス整合を取りかつ気密構造の信頼性を確保するためには高周波信号ピン41a、41b部の誘電体77には厚みが必要であり、また材料として、コバールガラス、ほうけい酸ガラスなどのガラスを使用しているので、通信機器の環境温度として求められる-40℃から85℃の温度変動に対し、ガラスに割れ(クラック)が入らないように、その内側および外側に配されるピンおよびステム10の熱膨張係数をガラスと同程度に設定する。このため、ピンの材料としては、コバールを使用し、ステム10の材料としては、コバールかCuWを使用する。

(2) 放熱性を最適にする。

LD 40等から発生する熱の放熱性を最適にするためには、ステム10および台座11をCuWで一体化させたものが最適である。メタルインジェクションモールド技術を使えば、ステム10および台座11の一体構造のような複雑な形状を比較的安価に作ることができる。誘電体には、コバールガラス、ほうけい酸ガラスなどを使用し、ピンには、コバールを使用する。

(3) コストを安くする。

ステム10および台座11をコバールで一体化させたものが最適である。しかし、コバールは放熱性が悪いので、発熱の小さな光半導体素子用のパッケージにしか使用できない。本実施の形態のように、LDモジュールの場合は、LDの発

熱は0.2W程度であるのでコパールを使用できるが、一方、トランスインピーダンスアンプ付きのPDモジュールの場合は、アンプの発熱が0.5W程度あるので、温度上昇が大きく、コパールを使用するのは厳しい。

#### (4) 折衷案

- 5 発熱源を支持している台座11は放熱性のよいCuWを使って、ステム10に安価なコパールを使うようにしてもよい。これらの接合はロウ付けとなる。また、台座11は安価な鉄として、これにロウ付けによりコパールから成るステム10を接合するようにしてもよい。

- 10 なお、グラウンデッドコプレーナ差動線路70、高周波信号ピン41a、41b、グランドピン42a、42b、ステム10、ワイヤボンド57a、57b、およびマイクロストリップ差動線路基板46等によって、分布定数回路30が構成される。

- 15 つぎに、高周波信号ピン41a、41bが貫通される長円形状の誘電体77については、透明または半透明のガラス材料を使用するようにしており、これにより高周波信号の反射特性を劣化させる、ガラス材料中に発生する泡5（第8図参照）を簡単に目視検査できるようにしている。ちなみに、この種の誘電体を使用するガラスとしては、従来、黒色のガラスを使用しており、ガラス中に発生する泡5の目視検査が困難であった。勿論、高周波信号ピン41a、41b以外の、モニタ信号ピン43、およびバイアス給電ピン44a、44bについては、黒色  
20 のガラスを用いてもよいことは言うまでもない。

つぎに、差動信号線路において、インピーダンスマッチングをとるための構成について説明する。

- 単相線路を用いた従来のキャンパッケージはコストが安い、高周波特性が今ひとつよくないという問題を有している。第9図(a)は、特開平11-233876号公報などに記載された単相線路の信号ピンを用いた従来のキャンパッケージについて、フィードスルー部分の断面を模式的に表した図である。第9図(a)において、半径 $r_a$ の金属製の信号ピン601の外周に、半径 $r_b$ を有する
- 25

誘電体（ガラス）602を充填し、誘電体602の外周を金属製のステム603で囲んでフィードスルーを構成している。ステム603は接地してある。

このような信号ピン601の特性インピーダンスは、下式（1）で表せる。第10図（a）は、第9図（a）に示す単相フィードスルーの信号ピンの場合において、誘電体（ガラス）の比誘電率  $\epsilon_s=4.1$ 、比透磁率  $\mu_s=1$  とし、信号ピン601の半径  $r_a$  を0.1mm、0.15mm、0.2mm、0.25mmとした場合のフィードスルーの特性インピーダンスを示したものである。

$$Z = \frac{377}{2\pi} \sqrt{\frac{\mu_s}{\epsilon_s}} \ln\left(\frac{r_b}{r_a}\right) \quad \dots \quad (1)$$

第10図（a）に示すように、例えば、信号ピンの半径  $r_a$  が0.15mmの場合に特性インピーダンスを30オームとするには、半径  $r_b$  が0.4mmの誘電体（ガラス）を用いてフィードスルーを構成する必要がある。このフィードスルーをステムに2個並列に並べ、さらに、2つのフィードスルーの間に0.5mmの間隔  $S_1$  を確保すると、それらが信号ピンの径方向に占める長さは2.1mmとなる。このような構成では、一般的なキャンパッケージの直径が5.4mm（または3.5mm）であるのに対して、フィードスルーが半分もの（または半分以上の）比率を占めてしまう。

また、誘電体602の半径（誘電体602の充填されるステム603の穴径）の変化に伴う特性インピーダンスの変化が大きく、加工する際に穴径やピンの取付け位置がずれた時、特性インピーダンスが大きくばらついてしまうという問題があった。また、このフィードスルーの出口から回路基板、またはストリップ線路などに接続する部分は、急激に特性インピーダンスが大きくなり、電氣的な反射を起こしやすいため、特性インピーダンスのばらつきは整合回路の設計や製造を難しくしていた。

一方、第9図（b）は、この発明の実施の形態1によるキャンパッケージ1に設けた高周波信号ピン41a、41bを有するフィードスルーの断面を、模式的

に示したものである。図において、高周波信号ピン41a、41bの半径を $R_a$ 、高周波信号ピン41a、41bの中心間隔を $S_2$ とし、高周波信号ピン41a、41bの外周に半径 $R_b$ の誘電体（ガラス）610（第5図の誘電体77に相当する）を設け、その外側にステム10が配置されている。図では、説明を簡単にするために誘電体610を円形にしている。また、ステム10は接地してある。

この場合の特性インピーダンスは、下式（2）で表せる。なお、式（1）及び式（2）は、小西義弘著のマイクロ波回路の基礎とその応用（第1版）の第16ページ（総合電子出版社1990年8月20日）の記載に基づくものである。第10図（b）は高周波信号ピン41a、41bの半径 $R_a$ を0.15mm、その中心間隔 $S_2$ を0.6mmから0.9mm（0.6mm、0.7mm、0.8mm、0.9mm）とし、誘電体（ガラス）の比誘電率 $\epsilon_s=4.1$ 、比透磁率 $\mu_s=1$ として、差動線路のフィードスルーの特性インピーダンスを示したものである。例えば、高周波信号ピン41a、41bの半径 $R_a$ が0.15mmの場合、その中心間隔 $S_2$ が0.7mmから0.9mmにばらつき、更に誘電体（ガラス）610の半径が0.65mmから1.1mmの範囲でばらついても、特性インピーダンスは60～65オームの範囲であって、その変動が少なくなる。

$$Z = \frac{377}{\pi} \sqrt{\frac{\mu_s}{\epsilon_s}} \ln \left( \frac{S_2}{R_a} \cdot \frac{(R_b)^2 - (S_2)^2}{(R_b)^2 + (S_2)^2} \right) \quad \dots \quad (2)$$

単位 $\Omega$ 、但し、 $R_b > R_a$ と $S_2 > 2R_a$ の条件で簡略化した。

このように、フィードスルーに差動線路を用いることで、高周波信号ピン41a、41b間の電界結合により特性インピーダンスのバラツキが少なくなる。したがって、高周波信号ピン41a、41bのガラス融着固定工程におけるピンの位置のバラツキや、ステム加工時の穴径のバラツキを適宜に許容することができ、品質が安定し、安価なフィードスルーを得ることができる。また、誘電体610の半径を0.8mmとすることができ、さらには誘電体を長円形、楕円形、蘭型とする（第18図で誘電体の形状例を示す）ことで、単相のフィードスルーを横

に並べた場合と比べてより小型なキャンパッケージを得ることが可能である。

さらに、キャンパッケージ1の内部（マイクロストリップ差動線路基板46側）に突出するフィードスルーの出力端とマイクロストリップ差動線路基板46を接続する部分や、キャンパッケージ1の外部（グラウンデッドコプレーナ差動線路70側）に突出するフィードスルーの出力端とマイクロストリップ差動線路基板46を接続する部分では、線路間の電界結合が適宜に維持され、特性インピーダンスの変化を抑えることができる。このため、スタブ54a、54bのような整合回路の設計が容易となる。

第10図(c)は高周波信号ピン41a、41bの半径Raを0.05mmから0.25mm（0.05mm、0.1mm、0.15mm、0.20mm、0.25mm）、ピンの中心間隔S2を0.8mmとした時の特性インピーダンスを示すものであり、ピンの半径Raを変えることで、特性インピーダンスを所望の大きさに合わせることができる。図からわかるように、ピンの半径Raを適宜選択しても、誘電体Rbの半径の変化に伴う特性インピーダンスの変化が少なく、前述と同様の効果がある。

なお、好ましくは、高周波信号ピン41a、41bの中心間隔S2を0.7～0.9mm、誘電体610の半径Rbを0.65～1.1mmとするのが良く、また、高周波信号ピン41a、41bの半径を0.05mmから0.5mmとするのが好適である。

本実施の形態1においては、LD駆動回路100の差動トランジスタ103、104の出力からLD40までのインピーダンスマッチングをとるためこれらの間を全て差動線路で構成してLD40を駆動するようにしており、ステム10を貫通するピンも、長円形状の誘電体77に一对の高周波信号ピン41a、41bを貫通させることで、差動線路を構成する差動ピンとしている。このため、両信号ピン間の電氣的結合が高くなり、電界を封じ込めることができ、漏洩による損失を低減することができる。したがって、特に寸法バラツキが生じやすい高周波信号ピン41a、41bにおけるステム10からLD駆動回路100側に露出さ

れている部分（以下、ドライバ側ピン露出領域という）の電界の不連続を従来に比べ抑えることができる。さらに、このドライバ側ピン露出領域には、グランドピン42a, 42bが高周波信号ピン41a, 41bに並走するように配されているので、この部分のインピーダンスを低くして反射を抑えることができる。

- 5       また、例えば、単相駆動の場合には、LDを駆動した大電流が接地を經由して駆動回路に帰還するので、接地電位が変動するため、近接して設置された微弱電流を検出する光受信系の電子回路に悪影響がでることがあるが、本実施の形態では、差動線路を用いて、LDをプッシュプル動作しているので、大電流は差動線路を流れ、接地電位の変動が少なくなり、周辺回路への影響がでにくいという利  
10   点もある。

- このように、ドライバ側ピン露出領域を差動線路構成としかつその外側にグランドピン42a, 42bを配して、この部分のインピーダンスを従来に比べ低くするようにしたので、この部分とステム内側とのインピーダンス差が従来に比べ小さくなり、また電界の不連続も少なくしたので、通過特性および反射特性を改  
15   善することができる。

- 高周波信号ピン41a, 41bの周りに配置される誘電体77として、ガラスを使用しているので、ステム10の内側部分（高周波信号ピン41a, 41bが誘電体77で囲まれているフィードスルー部分、以下ピン非露出領域ともいう）では、インピーダンスが下がりすぎる傾向がある。このピン非露出領域のイン  
20   ピーダンスを上げるためには、高周波信号ピンの周りに配置される誘電体77の断面積（長円の面積）を大きくすればよいが、これでは小型化、省スペース化の要求を満足させることができない。

- そこで、2本の高周波信号ピン41a, 41bは、誘電体77の外側にでると、即座にマイクロストリップ差動線路基板46の差動信号線52a, 52bに乗り  
25   移れるように、LD40側への突出長を短くするとともに、マイクロストリップ差動線路基板46のストリップ差動信号線52a, 52bのうち、高周波信号ピン41a, 41bに接続される、ステム10に近い部分52d（第6図参照）の

間隔を、例えば、差動線路基板 4 7 に近い部分の線路間隔よりも大きくしたり、ピン 4 1 a、4 1 b の間隔よりも若干広く設定する等、比較的大きく設定することで、この部分の電氣的結合を弱くして、この部分 5 2 d を高インピーダンスに設定している。例えば、高周波信号ピン 4 1 a、4 1 b のフィードスルー部分が  
5 60  $\Omega$ 、ストリップ差動信号線 5 2 a、5 2 b における間隔の広い 5 2 d の部分が 150  $\Omega$ 、ストリップ差動信号線 5 2 a、5 2 b における差動線路基板 4 7 に近い間隔の狭い部分が 100  $\Omega$  となるようにしている。

このように、ステム 10 を出た直後の差動線路部分の線路間隔を大きくして、高インピーダンス部分を故意に作成しており、この高インピーダンス部分とステ  
10 ム内側（ピン非露出領域）の低インピーダンス部分とでインピーダンスを相殺させ、全体的に見てインピーダンスを整合させるようにしている。すなわち、ピン非露出領域（フィードスルー部分）は低インピーダンスであるので、その後にハイインピーダンスを少し作って、全体としてのインピーダンスマッチングをとるよう  
ようにしている。

15 また、ストリップ差動信号線 5 2 a、5 2 b の途中には、インピーダンス整合用の一対のスタブ 5 4 a、5 4 b を形成しており、これら一対のスタブ 5 4 a、5 4 b によりインピーダンスを下げてストリップ差動信号線 5 6 a、5 6 b とのミスマッチングが発生しないようにしている。すなわち、これら一対のスタブ 5 4 a、5 4 b により、ドライバ側ピン露出領域のリアクタンス成分と、ピン非露  
20 出領域（フィードスルー部分）のリアクタンス成分を補償して、通過特性および反射特性を改善している。

また、この場合、一対のスタブ 5 4 a、5 4 b は、外側にではなく、内側に（互いの信号線に接近するように）突出されているので、マイクロストリップ差動線路基板 4 6 の小型化に寄与する。なお、小型化が必要ない場合は、第 11 図に  
25 示すように、差動線路 5 2 a、5 2 b の外側に突出するようによい。

つぎに、台座 11 上への 4 つの基板（マイクロストリップ差動線路基板 4 6、4 7 と、LD 用チップキャリア 4 8 と、バイアス回路用基板 4 9）と、PD 用チ



ップキャリア 45 のレイアウトについて説明する。

キャンパッケージ 1 においては、高周波信号ピン 41a, 41b と LD40 との間を接続する差動線路基板と、LD40 を搭載する基板と、LD40 に直流バイアス電流を供給するためのバイアス回路基板と、モニタ PD50 とを配置する  
5 必要がある。

第 12 図は、差動線路構成の場合の他の台座 11 上のレイアウトを示すものである。ステム 10 の中央には、高周波信号ピン 41a, 41b が貫通配置され、高周波信号ピン 41a, 41b を挟むようにグランドピン 42a, 42b が配置される。また、高周波信号ピン 41a, 41b、およびグランドピン 42a, 42b を挟むように、バイアス給電ピン 44a, 44b が貫通配置されている。台  
10 座 11 の中央部に、高周波信号ピン 41a, 41b と LD40 間を接続する差動線路基板 90a と、LD40 を搭載する基板 90b と、整合抵抗 31a, 31b を搭載する基板 90e とが配置される。また、台座 11 の LD40 の両側に、ソレノイドを有するバイアス回路基板 90c, 90d が配置され、バイアス基板 90c、90d に設けられたソレノイドは、それぞれバイアス給電ピン 44a、44b にワイヤボンドで接続されている。  
15

このようなレイアウトの場合、レーザ光は LD40 の前後にしか出射されない  
ので、モニタ PD50 を高周波信号ピン 41a, 41b の上下に配置する必要がある  
あり、スペース的に配置が困難である。また、差動線路基板 90a と、LD40  
20 を搭載する基板 90b、および整合抵抗 31a, 31b を搭載する基板 90e と  
が、レーザ光出射方向に直線上に配置されるので、台座 11 のレーザ光出射方向  
に沿った長さが長くなり、パッケージの大型化を招来する。また、バイアス回路  
と接続するワイヤボンド 35a, 35b のインダクタンスを小さくするためには、  
基板を 2 分割しなくてはならないので、コスト高になる。さらに、このレイアウト  
25 の場合は、高周波信号ピン 41a, 41b を封止固定するための透明の誘電体  
77 が LD40 の真後ろに位置するので、LD40 からのモニタ光が透明な誘電  
体 77 を介してキャンパッケージ 1 の外部に直接出射されることになり、LD4

0を駆動しながらの作業を行う際に、作業者の目に入る可能性が高いという懸念もある。

このような状況を鑑み、実施の形態1においては、第5図～第7図などに示すように、マイクロストリップ差動線路基板46、47と、バイアス回路用基板49とで、LD用チップキャリア48を挟むようにLD用チップキャリア48の両側に配置するようにしている。別言すれば、LD40を真ん中にしてマイクロストリップ差動線路基板46、47の各ストリップ差動信号線52a、52b、56a、56bと、一对のインダクタンス回路を含む配線パターン62a、62bと、LD40とを略U字状に配置している。

10 このため、台座11のレーザ光軸方向の長さは、マイクロストリップ差動線路基板46、47分の長さで済むようになり、第12図に示したレイアウトより小型化が実現できる。

また、マイクロストリップ差動線路基板46、47が、LD用チップキャリア48からサイドにずれた位置に配設されるので、高周波信号ピン41a、41bを封止固定するための透明の誘電体77の配置位置も、必然的に、LD用チップキャリア48からサイドにずれた位置に配設されることになる。レーザ光は、ガウス分布的に光軸からずれるほど強度が弱くなるので、透明の誘電体77には強度の弱い光しか入らなくなり、これにより作業時の安全性を向上させることができる。

20 なお、LD40を搭載する基板と、高周波信号ピン41a、41bおよびLD40間を接続する差動線路基板とを、同一の基板で構成する手法もあるが、この場合は、熱源としてのLD40からの熱を放熱するため単位面積あたり高価な放熱性の良い窒化アルミ基板(A1N)などの基板材料を広い面積で使用しなくてはならず、コストアップの原因となる。

25 そこで、この実施の形態1においては、第5図および第6図に示すように、熱源としてのLD40を搭載するLD用チップキャリア48を、他の基板から分離して単独基板としている。このため、LD用チップキャリア48にのみ高価な放

熱性の良い窒化アルミ基板（A1N）などのセラミック基板材料を使用すればよくなり、他の基板（マイクロストリップ差動線路基板46、47と、バイアス回路用基板49）は、安価な $Al_2O_3$ などのセラミック基板材料を使用すればよくなり、低コスト化が可能となる。

- 5      また、本実施の形態1のレイアウトによれば、インピーダンス整合用のマイクロストリップ差動線路基板46と、整合抵抗31a、31bを配置するためのマイクロストリップ差動線路基板47とを、別基板としたので、無駄のないセラミック基板の裁断が可能となって低コスト化に寄与する。また、インピーダンス整合用のマイクロストリップ差動線路基板46は、ステム10の製造時に一緒に製造して、ステム10とマイクロストリップ差動線路基板46とがロウ付け、または半田付けにより接続固定されたユニットを作成して、その後他の構成部品と組み立てるなどの自由度の高い製造作業を行うことが可能となり、作業性が向上する。なお、ステム10の直径として、例えば $\phi 5.6$ mmの大きさを実現することが十分に可能である。
- 10      また、バイアス回路用基板49には、バイアス給電ピン44a、44bに接続される空芯ソレノイド33aおよび共振防止抵抗34aの並列回路と、空芯ソレノイド33bおよび共振防止抵抗34bの並列回路とを、同一基板上に配置して、バイアス回路基板の小面積化を図っているので、低コスト化および小型化に寄与する。
- 15      また、バイアス回路用基板49上の空芯ソレノイド33a、33bは、互いの磁界が干渉しないように、交差するように、好ましく直交するように、配置されているので、一方のソレノイドに発生する磁界が他方のソレノイドに影響を与えることがなくなるとともに、空芯ソレノイド33a、33bの配置位置をLD40のアノード、カソードにより近づけることが可能となる。
- 20      つぎに、PD50の配置について説明する。PD50を搭載するPD用チップキャリア45は、LD40の真後ろに配するのではなく、レーザ光軸に対し上下側および左右に少しずれた位置に配置することにより、スペースの有効活用を図
- 25

り、ステム 10 に配するバイアス給電ピン 44a、44b、モニタ信号ピン 43 などの自由度の高いレイアウトを可能にしている。

また、PD50 を LD40 の上下のどちらにずらせるかを選択する際には、LD40 を構成する半導体基板 99 と活性層 93 との位置関係、並びにモニタ光の遠視野像の強度分布に応じて決定する。第 13 図は、LD40 の構造を概略的に示すものである。

LD40 は、カソード (n 電極) 91 と、アノード (p 電極) 92 と、p 型の半導体基板 99 と、発光領域をなす活性層 93 と、反射防止膜 (AR コート) を施した端面 110 からの反射戻り光を低減するための窓構造 94 と、活性層 93 を挟むクラッド層 501 などを備えている。なお、窓構造 94 とは、共振器端面 (へき開面) 502 近傍に不純物を注入又は拡散させて無秩序化することにより、端面近傍におけるバンドギャップを増大させて、端面近傍における光吸収などを抑制し、端面破壊を防止するなどの効果を持つ構造である。

活性層 93 は、半導体基板 99 と逆方向側に片寄った位置に配設されており、このため、出射されるレーザ光は次のような強度分布を持つようになる。

活性層 93 から出射されたレーザ光の一部は窓構造 94 の上側にある反射率の高い金属で構成されるカソード 91 で反射される。この反射光が、活性層 93 から窓構造 94 を介して直接出射される他のレーザ光と干渉するので、PD50 が配置される程度の距離を離れた位置でのモニタ光の強度分布は、第 14 図に示すようになる。第 14 図に示す強度分布においては、正の角度領域 (半導体基板 99 側) では、上記干渉によるリップルが発生している。したがって、このようなリップル発生側に、PD50 を配置すると、若干の組立誤差などによって受光感度が急変するので、モニタ光を高精度に検出することができなくなるという問題がある。

一方、第 14 図に示すように、負の角度領域 (半導体基板 99 と反対側) では、光線がアノード 91 に蹴られる位置まで滑らかに変化する通常のガウス分布波形に近い形状が得られる。

したがって、PD 50を光軸に対して半導体基板 99と反対の方向に片寄った側に配置すれば、上述した干渉による遠視野像のリップルの影響を受けることがなくなり、モニタ光を高精度に検出することができるようになる。

第15図は、先の第5図～第7図に示した実施の形態1のキャンパッケージ1  
5 におけるLD40とPD50との配置関係を示す図である。第15図に示すように、PD50は、LD40の上側に、すなわち光軸に対して半導体基板と反対の方向に片寄った側に配置するようにしており、上述した干渉による遠視野像のリップルの影響を受けることがなくなり、モニタ光を高精度に検出することができる。また、この場合は、PD50は、LD40に対し左右方向にもずれた位置に  
10 配置されている。なお、PD用チップキャリア45の下面は、台座11の上面から若干離間している。

つぎに、第16図を用いてステム10に挿入すべき長円形状の誘電体（ガラス）77の厚みに関して説明する。誘電体77の厚みを、ステム10に形成した孔74の深さすなわちステム10の幅と同じ長さに設定すると、電気炉での加熱時  
15 にガラスの縁が盛り上がって、ステム10の壁面に凹凸部が形成されてしまう。このようなステム10壁面での凹凸は、各種の部品配置の際の邪魔になる。

そこで、誘電体77の厚みをステム10に形成した孔74の深さすなわちステム10の幅よりも短く設定し、電気炉での加熱前には、第16図に示すように、ステム10にはLD側の開口部をすり鉢状に形成した孔95が形成されるように  
20 する。このようにすれば、電気炉での加熱時にガラスの縁が盛り上がっても、ガラスは、ステム10の壁面まで到達することが無くなり、この誘電体77の領域に重なるように任意の部品を配置できるようになる。先の第5図～第7図に示した実施の形態1においては、第16図にも示すように、PD50を配置するためのPD用チップキャリア45の一部を誘電体77に重なるように配置している。  
25 また、第5図および第15図などに示すように、台座11のステム10への当接面の一部も、上記孔95のすり鉢状の開口部に重なるように配置されている。なお、他のバイアス給電ピン44a、44b、モニタ信号ピン43を封止固定する

ための誘電体 79a, 79b, 78も、同様にして、それらの厚みをステム10の幅よりも短く設定している。また、この場合、孔95を、ステム10の台座11が固定される方の壁面に形成するようにしたが、逆側の面にも部品を配置する場合は、ステム10の逆側の壁面に、同様の孔を形成するようにしてもよい。

- 5      なお、上記実施の形態1において、マイクロストリップ差動線路基板46, 47の代わりに第17図に示すようなグランデッドコプレナ差動線路46bを用いるようにしてもよい。グランデッドコプレナ差動線路46bは、前述したように、基板上に形成された一对の差動信号線と、この一对の差動信号線を挟むように差動信号線の外側に配置されるグランドと、裏面に配置されるベタグランドとから
- 10      構成されている。

また、実施の形態1では、高周波信号ピン41a, 41bの外側にグランドピン42a, 42bを配設するようにしたが、第18図に示すように、グランドピン42a, 42bを省略した実施形態も可能である。

実施の形態2.

- 15      つぎに、第19図を用いてこの発明の実施の形態2について説明する。第19図(a)～(c)は、高周波信号ピン41a, 41bを封止するための誘電体77の他の形状を示すものである。

- 第19図(a)は、誘電体77の形状として、 $270^\circ / 360^\circ$ 程度の2つの円を直線（あるいは緩やかな曲線）で接続した藕型形状を採用している。1つのピン41a（または41b）から誘電体77の周縁、すなわちグランド部材としてのステム10までの距離について着目すると、藕型形状の場合は、 $270^\circ / 360^\circ$ が等距離rにあり、残りの部分は距離rよりも長くなる。一方、実施の形態1で用いた長円形状の誘電体の場合、 $180^\circ / 360^\circ$ が等距離rにあり、残りの部分は距離rよりも長くなる。ピンとグランドまでの距離が長いほどインピーダンスが高くなるので、同じ面積の藕型形状と長円形状を比較した場合、
- 20      長円形状のほうがインピーダンスを高く設定することができる。前述したように、ピン非露出領域（フィードスルー領域）では、インピーダンスが下がりすぎる傾

向があるので、インピーダンスを上げるという点では、長円形状のほうが有利である。勿論、繭型形状を採用する場合は、その面積を調整して、長円形状の場合と同程度のインピーダンスが得られるようにすればよい。

第19図(b)では、誘電体77として、2つの円を直接的に連結した形状を採用しており、第19図(c)では、楕円形状を採用している。

実施の形態3.

つぎに、第20図を用いてこの発明の実施の形態3について説明する。この実施の形態3においては、ステム10を多重構造として、ステム10のコストダウンを図っている。

第20図に示す実施の形態3のステム10においては、この場合高周波信号ピン41a, 41bをステム10のほぼ中央部に配置しており、コバールから成る高周波信号ピン41a, 41bの周囲にコバールガラスから成る長円形状の誘電体77を配置している。そして、誘電体77の周囲に、誘電体77のクラックを防止すべく誘電体77とほぼ同じ熱膨張係数をもつコバールから成る第1ステム部材10aを配置し、さらにその外側に鉄などの比較的熱伝導が良くコストの安い材料から成る第2ステム部材10bを配置して、放熱性を改善するようにしている。第2ステム部材10bとしては、他に銅タングステンなどを採用することができる。第1ステム部材10aと第2ステム部材10bとは、ロウ付けで接合される。

実施の形態4.

つぎに、第21図を用いてこの発明の実施の形態4について説明する。この実施の形態4においては、キャンパッケージ1の放熱特性をより向上させるようにしている。したがって、この実施の形態4は、コバールなどで台座11およびステム10が一体成形された、放熱性の悪いパッケージのときに適用すれば、好適である。

第21図(a)に示すように、台座11およびステム10に、熱伝導の良いCuなどの線材(ヒートパイプ)81を内挿するための線材挿入孔82を形成する。

線材挿入孔 8 2 の径は、線材 8 1 の径よりも大きくする。線材挿入孔 8 2 の底部には、圧入穴 8 2 a を形成し、この圧入穴 8 2 a に線材 8 1 の一端を圧入固定する。圧入穴 8 2 a の穴長は、線材 8 1 を固定できる範囲でできるだけ短くする。これは、線材 8 1 と台座 1 1 との熱膨張係数差による歪の発生を防止する為である。LD 4 0 からの放熱を考慮した場合、線材 8 1 の一端を固定するための圧入穴 8 2 a は、LD 4 0 あるいは LD 用チップキャリア 4 8 の直下に配置した方が好ましい。

なお、線材 8 1 が孔 8 2 の底部に至るまでの間は、線材 8 1 が線材挿入孔 8 2 の内周面に接触しないようにすることが好ましいが、線材 8 1 と線材挿入孔 8 2 との間の摩擦あるいは表面間の干渉によって、線材 8 1 と台座 1 1 との熱膨張係数差による歪の発生を防止できるならば、多少接触していても構わない。ただし、線材（ヒートパイプ）8 1 が、線材挿入孔 8 2 の内周面で半田等によって接合されることは避けなければならない。

また、第 2 1 図（a）を K 方向から見た第 2 1 図（b）に示すように、線材 8 1 の他端は螺旋状に曲げられる。螺旋状に曲げられた線材 8 1 の他端は、その螺旋中心にねじ 5 0 0 が挿入され、グランデッドコプレナ差動線路 7 0 の裏面側に位置する、ヒートシンク 2 0 0 0 に設けられたねじ穴と締結される。これによって、線材 8 1 の他端がヒートシンク 2 0 0 0 に固定される。このとき、線材 8 1 の他端はばね性を有して固定されるため、熱膨張係数差によって線材 8 1 と台座 1 1 との間に熱変位差が生じても、その熱変位差を吸収でき、台座 1 1 の歪の発生を防止することができる。キャンパッケージ 1 に電気接続される外部基板と、LD モジュール 3 とは、ともに図示しないケースに収納される。ヒートシンク 2 0 0 0 は、このケースの壁面に設けられている。

LD 4 0 で発生した熱は、LD 用チップキャリア 4 8 から台座 1 1 を介して、線材 8 1 の一端に放熱される。線材 8 1 に伝えられた熱は、線材 8 1 の他端からヒートシンク 2 0 0 0 に伝わり、ヒートシンク 2 0 0 0 に設けられたフィンから外気に放熱される。



このように、この実施の形態4においては、台座11およびステム10の内部に、壁面と接触しないように放熱のための線材81を設けるようにしているので、LD40、ドライバIC、トランスインピーダンスアンプなどの熱源から発生される熱を効率良く放熱することができるとともに、線材81と台座11との熱膨張係数差による歪の発生を防止することができる。

実施の形態5.

つぎに、第22図を用いてこの発明の実施の形態5について説明する。この実施の形態5においては、先の実施の形態のように、グランドピン42a、42bを、高周波信号ピン41a、41bを挟むように両外側に配するのではなく、グランド部材としてのステム10に高周波信号ピン41a、41bに並走するように突出部10cを設け、この突出部10cによってグランドピン42a、42bと同等の機能を果たさせるようにしている。突出部10cは、高周波信号ピン41a、41bおよび突出部10cによって外部基板101を上下で挟む位置に配される。したがって、突出部10cは、外部基板101の裏面に形成されるベタグランドとも接触されることになる。突出部10cは、ステム10と同じ材料から成り、ステム10と同様にメッキが施されて、グランド面を構成する。

実施の形態6.

つぎに、第23図を用いてこの発明の実施の形態6について説明する。この実施の形態6においては、先の実施の形態のキャンパッケージ1に搭載されているLD40を含む各種構成要素と、先の第4図に示したLD駆動回路100とが同じパッケージに搭載される箱形の光半導体用パッケージ200に本発明を適用するようにしている。

第23図(a)に示すように、この光半導体用パッケージ200においても、LD駆動回路100の入力バッファ102には、前述したように、正相および逆相の差動信号が入力される。そこで、この差動信号を光半導体用パッケージ200のLD駆動回路100に入力するために、長円形状などの誘電体77と、誘電体77に封入される一対の高周波信号ピン41a、41bと、高周波信号ピン4

1 a, 4 1 b の外側に配設される一対のグランドピン 4 2 a, 4 2 b とを有する  
前述の構成を、光半導体用パッケージ 2 0 0 の壁面の一部にマウントしている。  
高周波信号ピン 4 1 a, 4 1 b の一端は、前記と同様に、差動ストリップ線路 2  
0 1 に接続され、この差動ストリップ線路 2 0 1 を介して LD 駆動回路 1 0 0 の  
5 入力バッファ 1 0 2 に伝送される。

この実施の形態 6 においては、差動信号ピンを用いて差動信号を LD 駆動回路  
1 0 0 に入力するようにしているので、先の実施の形態と同様、高周波特性の劣  
化を抑えることができるとともに、気密性を向上させることができる。

第 2 3 図 (a) に示すように、高周波信号ピン 4 1 a, 4 1 b 以外の、バイア  
10 ス電流や LD 駆動回路 1 0 0 の制御信号を伝送する信号ピン (リード) 1 0 0 1  
については、パッケージの内外をセラミック基板 1 0 0 1 b を用いて信号伝送す  
るフィードスルーを用いてもよい。この場合、信号ピン 1 0 0 1 は平板形状とな  
る。

勿論、第 2 3 図 (b) に示すように、光半導体用パッケージ 2 0 0 の側壁に貫  
15 通孔を設け、その貫通孔内に挿入した円筒形状の信号ピン 1 0 0 2 を、ガラスな  
どの材料で構成される誘電体 1 0 0 3 を介して光半導体用パッケージ 2 0 0 の側  
壁に気密封止状態で固定した構造であってもよい。この場合、セラミック基板 1  
0 0 1 b を用いないため、第 2 3 図 (a) と比べてより低価格に製造することの  
できるパッケージ構造を提供できる。

20 ところで、上述の実施の形態においては、差動信号を入力するためのステム構  
成を LD 4 0 が搭載された LD モジュールに適用するようにしたが、上記ステム  
構成を、電界吸収型光変調器 (E A 変調器、Electro-absorption Modulator) が  
搭載された E A モジュールや、受光素子が搭載されて光信号を受信する P D モジ  
ュールに適用するようにしてもよい。勿論、LD の温度調整用のペルチェ素子を  
25 用いたものであってもよいことは云うまでもない。

以上説明したように、この発明によれば、孔を有するステムと、ステムの孔に  
封入されるとともに、一対のピン挿入孔を有する誘電体と、誘電体の一対のピン

挿入孔に貫通固定され、光半導体素子に接続される差動線路を構成する一対の高周波信号ピンとを備えて光半導体用パッケージを構成したので、コストを安く維持できるとともに、高周波伝送特性が良好で10Gbps以上の高速動作が可能な光半導体用パッケージを提供することが可能となる。

5

#### 産業上の利用可能性

10 以上のように、この発明にかかる光半導体用パッケージは、光ファイバが付属した同軸型モジュールや、光ファイバを接続するためのレセプタクル型アダプタ付きの光半導体素子モジュールなどに適用して有用である。また、この発明にかかる光半導体用パッケージは、ビル内に設置されたサーバ間の接続、異なるビルに設置されたサーバ間の接続などのローカルエリアネットワークに適用される光半導体素子モジュールに適用して有用である。

## 請 求 の 範 囲

1. 光半導体素子を搭載する光半導体用パッケージであつて、  
孔を有するステムと、  
5 前記ステムの孔に封入されるとともに、一対のピン挿入孔を有する誘電体と、  
前記誘電体の一対のピン挿入孔に貫通固定され、前記光半導体素子に電氣的に  
接続される差動線路を構成する一対の高周波信号ピンと、  
を備えることを特徴とする光半導体用パッケージ。
- 10 2. 前記誘電体は、ガラスであることを特徴とする請求の範囲第1項に記載の  
光半導体用パッケージ。
3. 前記ステムは、  
前記誘電体の外側に配置され、誘電体とほぼ同じ熱膨張係数を有する第1の部  
15 材と、  
該第1の部材の外側に配され、該第1の部材より熱伝導性の高い第2の部材と、  
を備えることを特徴とする請求の範囲第1項に記載の光半導体用パッケージ。
4. 前記誘電体は透明または半透明であることを特徴とする請求の範囲第1項  
20 に記載の光半導体用パッケージ。
5. 前記ステムに形成される孔は、長円形状、楕円形状、もしくは藕型である  
ことを特徴とする請求の範囲第1項に記載の光半導体用パッケージ。
- 25 6. 前記一対の高周波信号ピンに並走するグランド部材を前記ステムに設けた  
ことを特徴とする請求の範囲第1項に記載の光半導体用パッケージ。

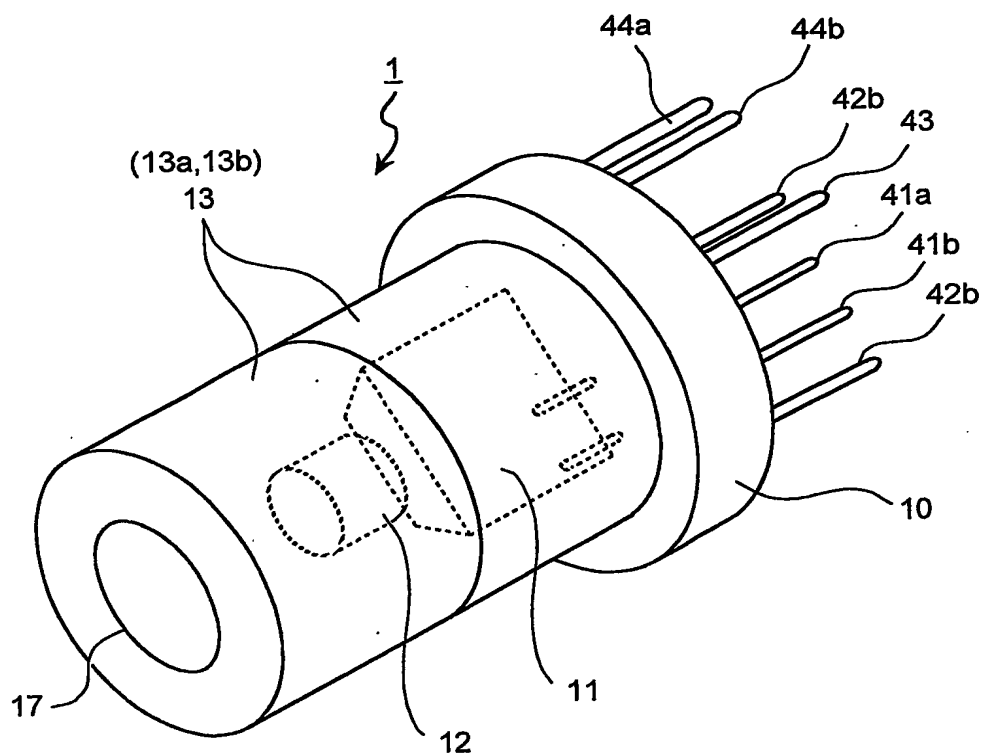
7. 前記グランド部材は一对のグランドピンであり、この一对のグランドピンは、前記一对の高周波信号ピンを挟むように一对の高周波信号ピンの外側に設けられることを特徴とする請求の範囲第6項に記載の光半導体用パッケージ。
- 5 8. 前記光半導体素子として、一对の電極を有した半導体レーザダイオードを備えるとともに、
- 一端側が前記一对の高周波信号ピンに接続され、他端側が前記光半導体素子の一对の電極に接続される一对の差動線路を有する差動線路基板と、
- 一端側が前記光半導体素子の一对の電極に接続され、他端側が外部のバイアス
- 10 電流源に接続される一对のインダクタンス素子と、
- をさらに備えることを特徴とする請求の範囲第1項に記載の光半導体用パッケージ。
9. 前記差動線路基板の一对の差動線路にスタブをそれぞれ形成したことを特徴とする請求の範囲第8項に記載の光半導体用パッケージ。
- 15 10. 前記スタブは、互いの差動線路に接近する方向に突出形成されることを特徴とする請求の範囲第9項に記載の光半導体用パッケージ。
- 20 11. 光通過孔を有し、その端部が前記ステムに固定されることにより、光半導体素子を内蔵する内部空間を密閉するキャップを更に備えることを特徴とする請求の範囲第1項に記載の光半導体用パッケージ。
12. 光半導体素子および該光半導体素子との間で差動信号が伝送される集積回路を収容する光半導体用パッケージにおいて、
- 25 パッケージの壁面に封入固定されるとともに、一对のピン挿入孔を有する誘電体と、

前記一対のピン挿入孔に貫通固定される、差動線路を構成する一対の信号ピンと、

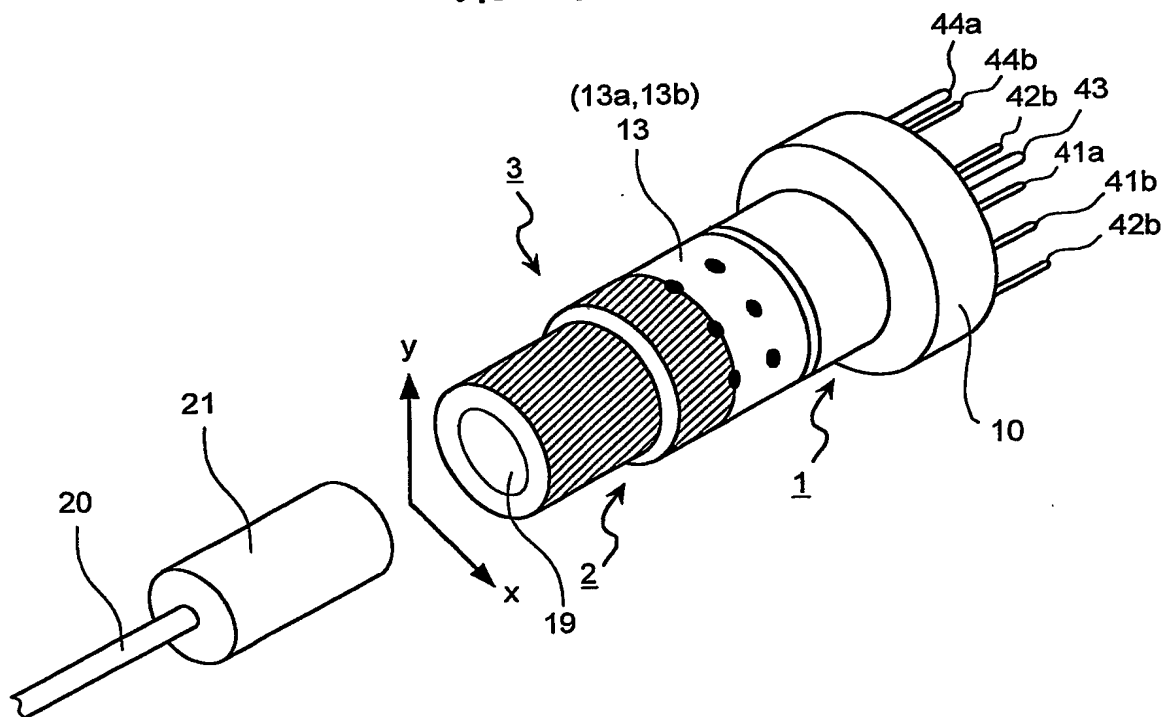
を備え、前記一対の信号ピンを介して前記集積回路との間で差動信号が伝送されることを特徴とする光半導体用パッケージ。

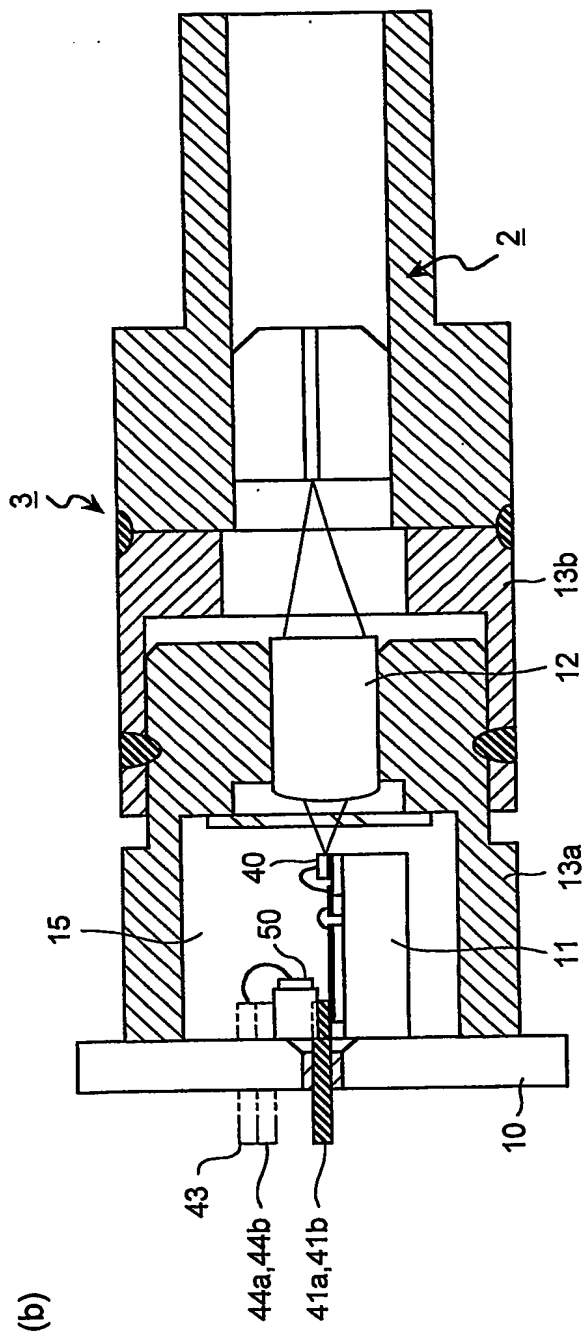
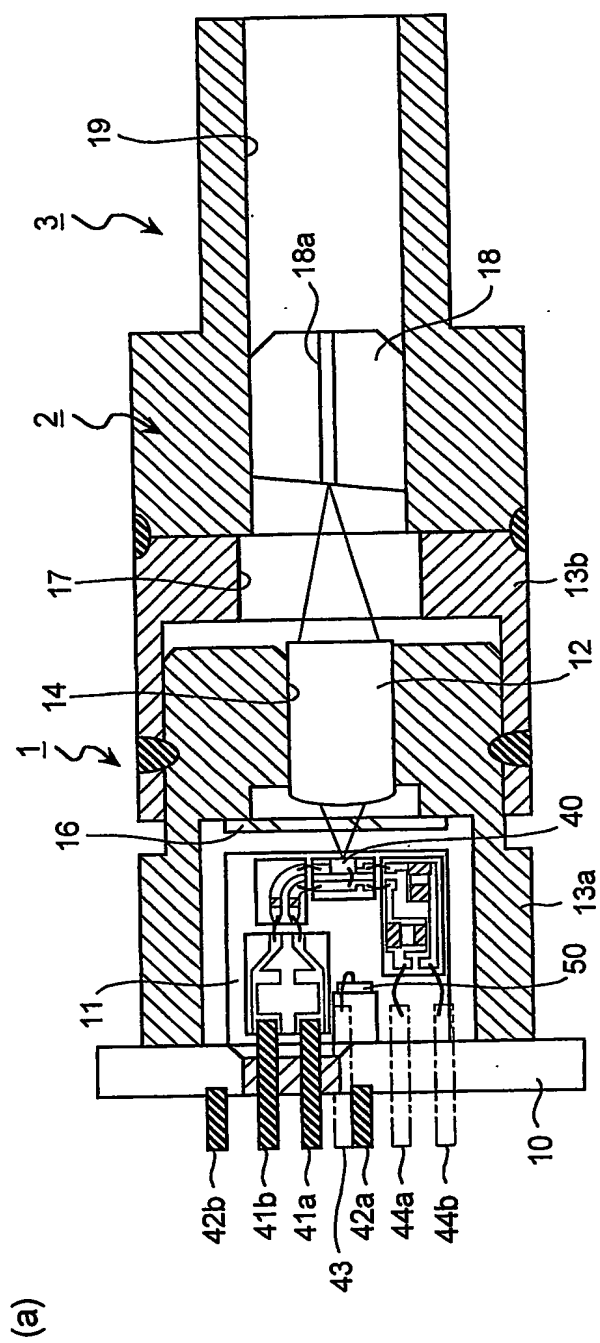
1/16

第1図



第2図

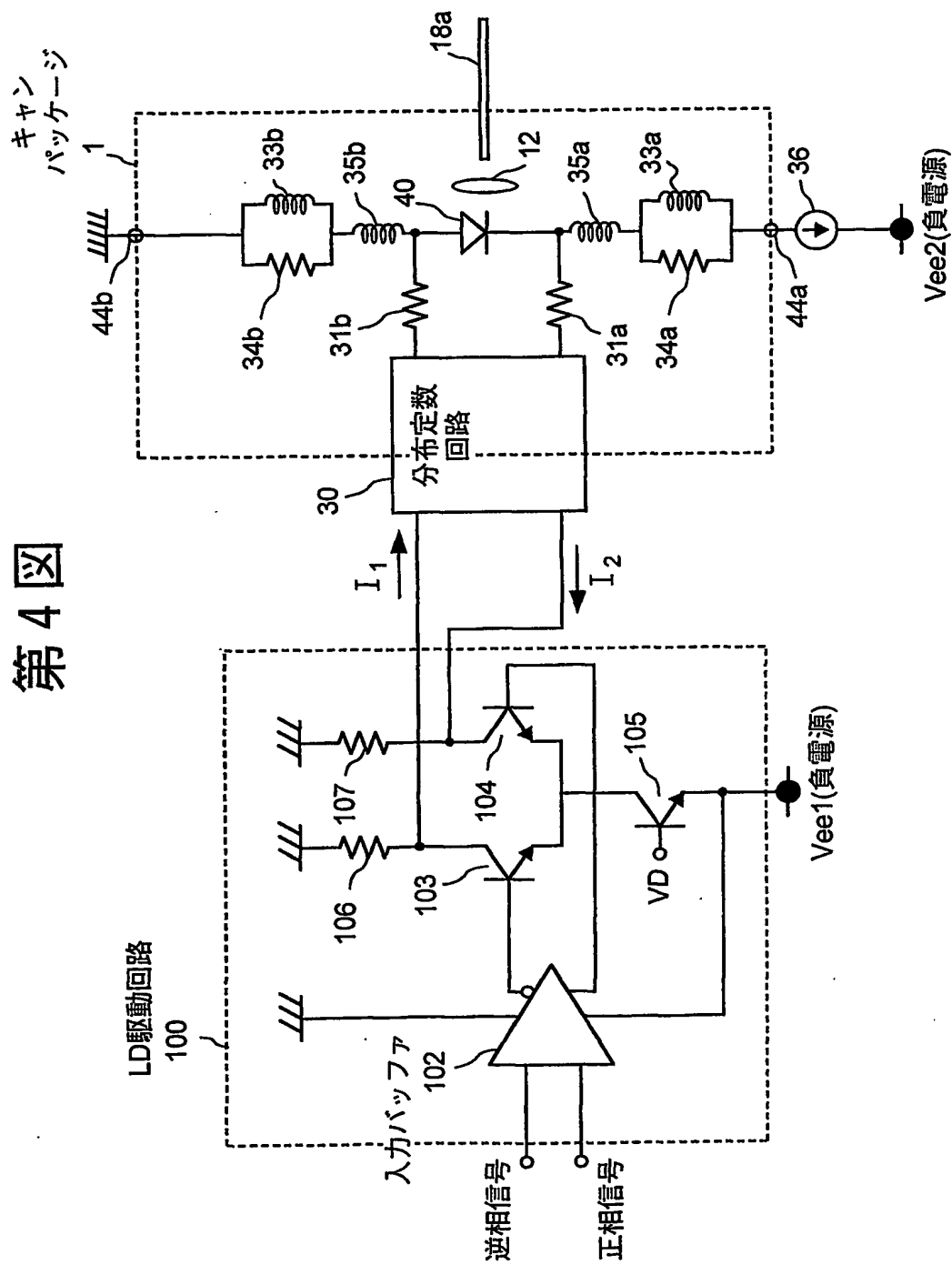




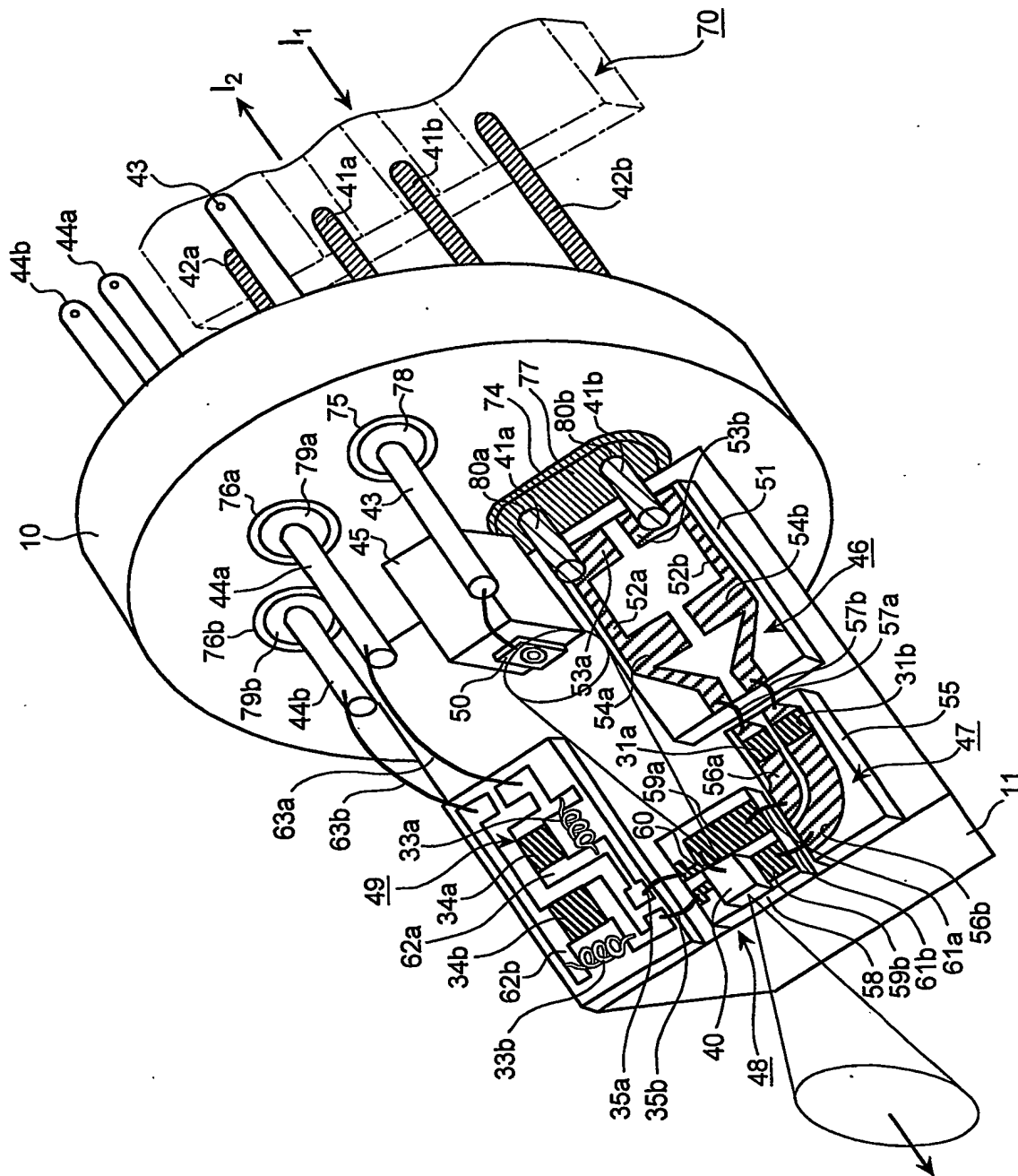
第3図



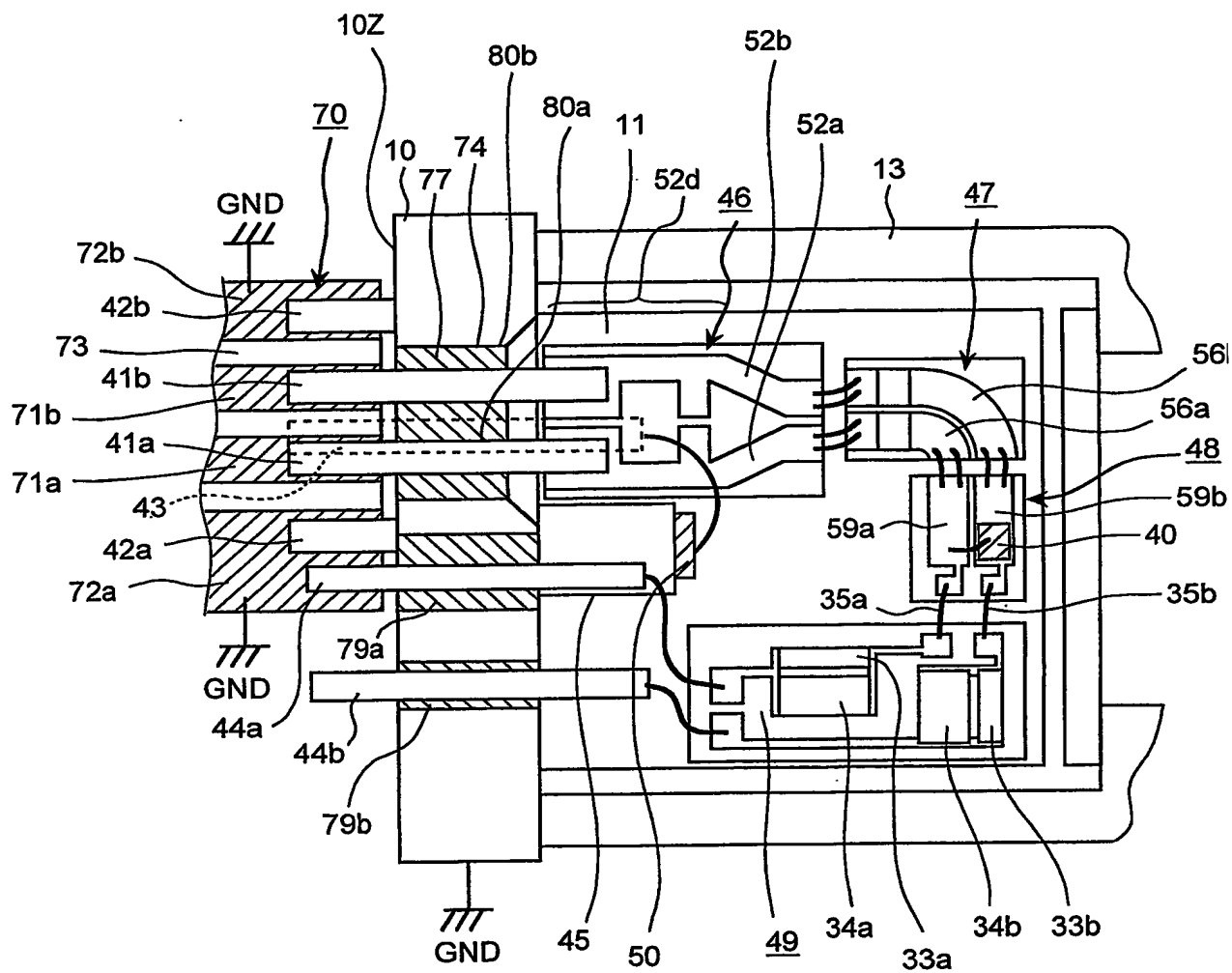
圖 4 鋼



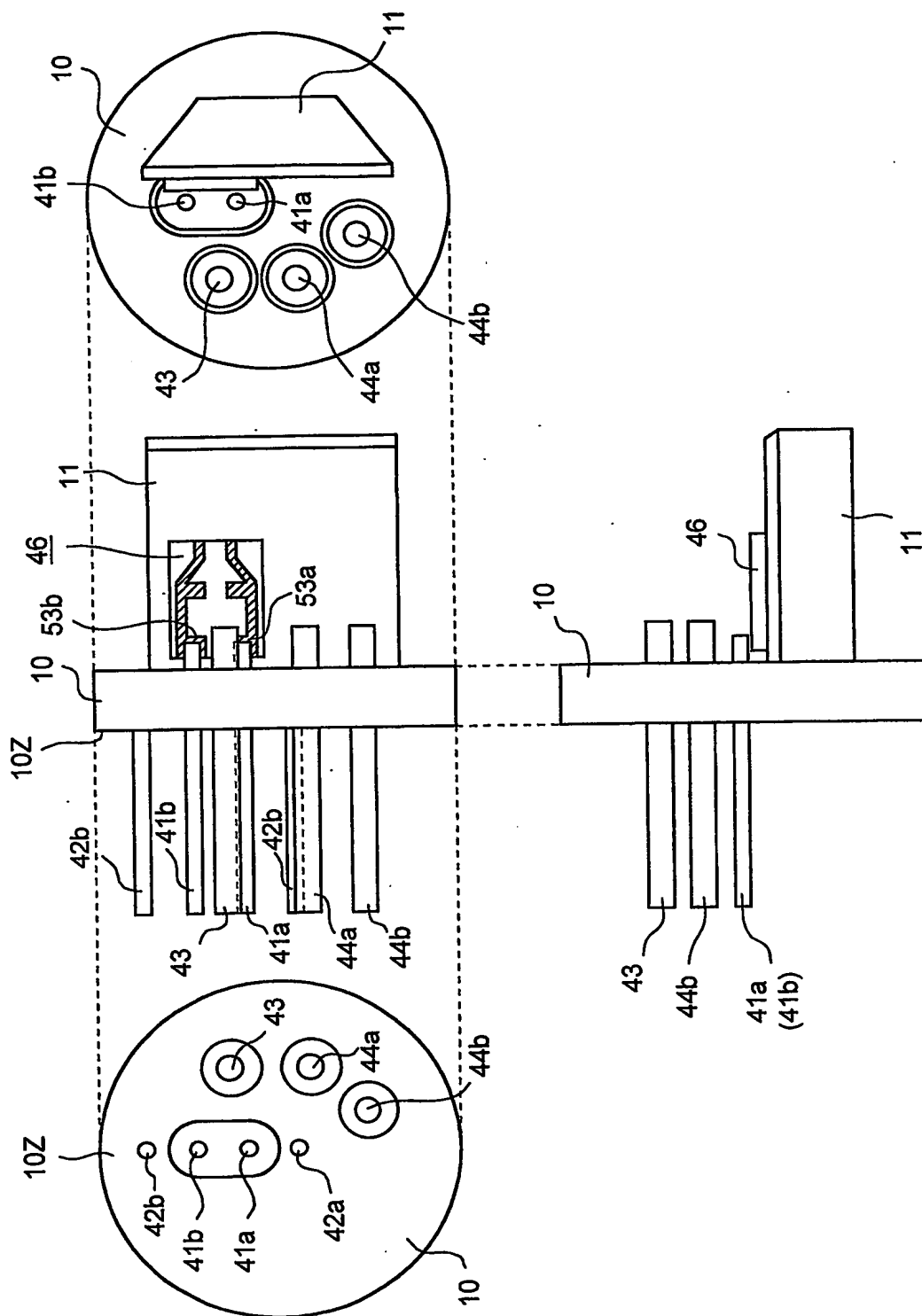
第5図



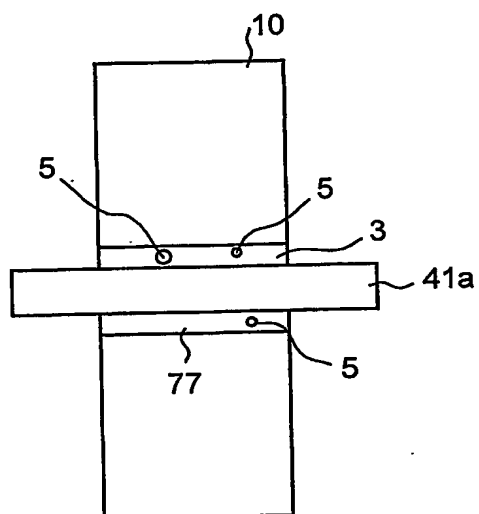
第 6 図



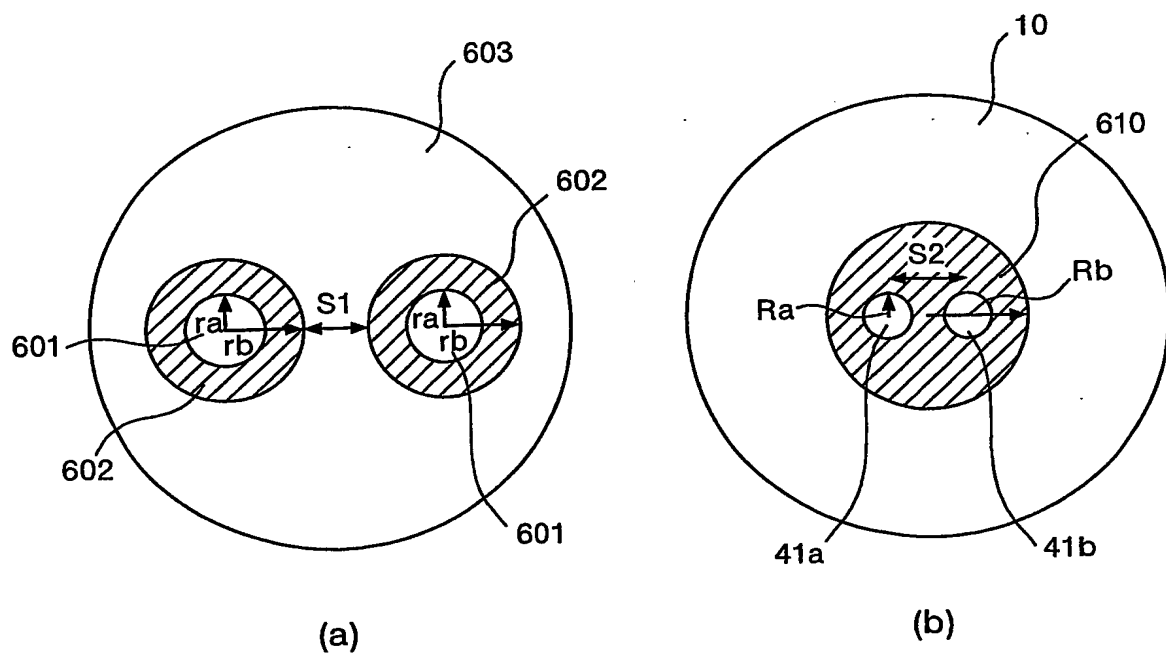
第7図



第 8 図

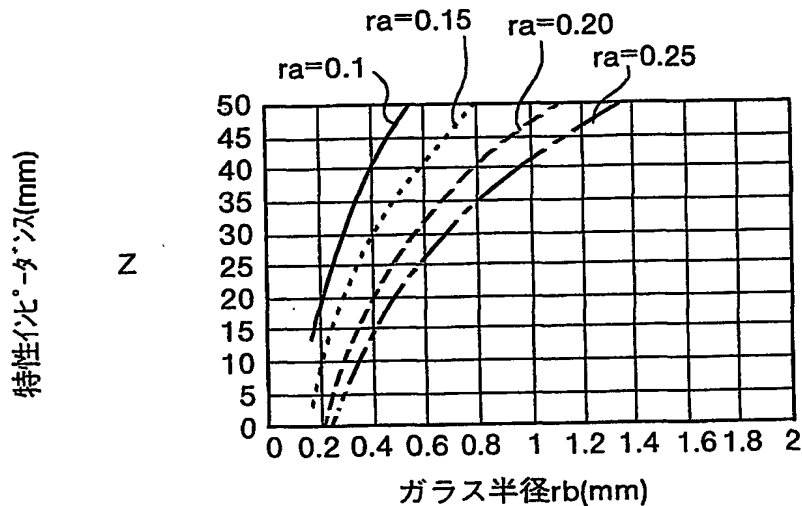


第 9 図

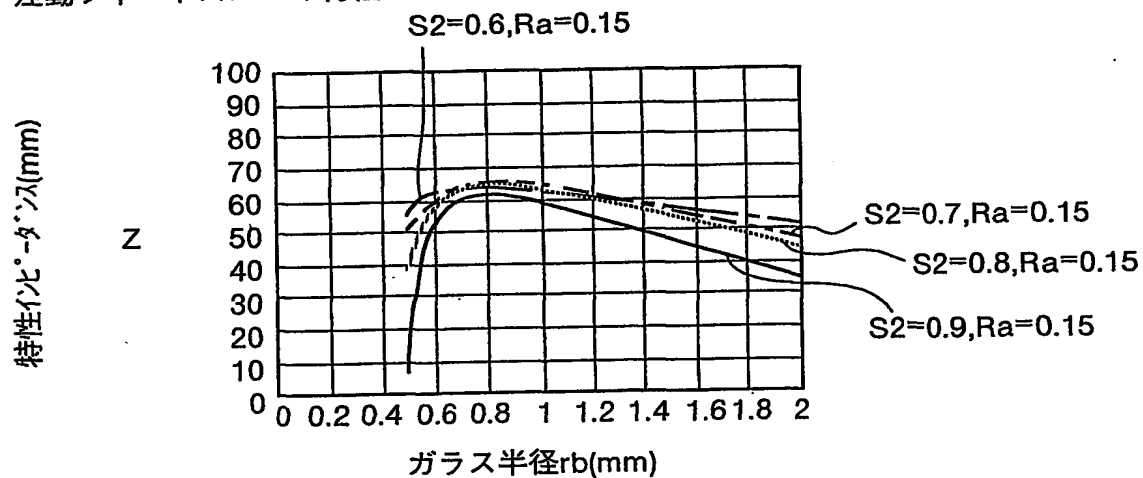


## 第10図

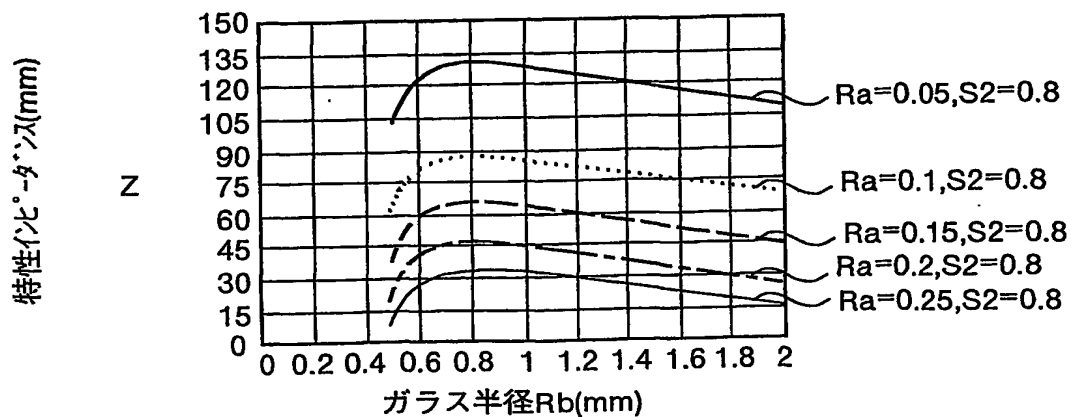
(a) 単相フィードスルーの特性インピーダンス



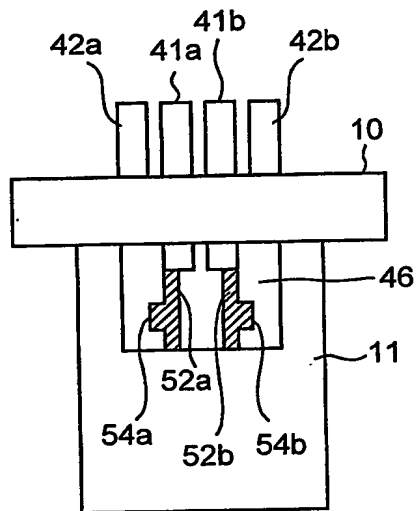
(b) 差動フィードスルーの特性インピーダンス



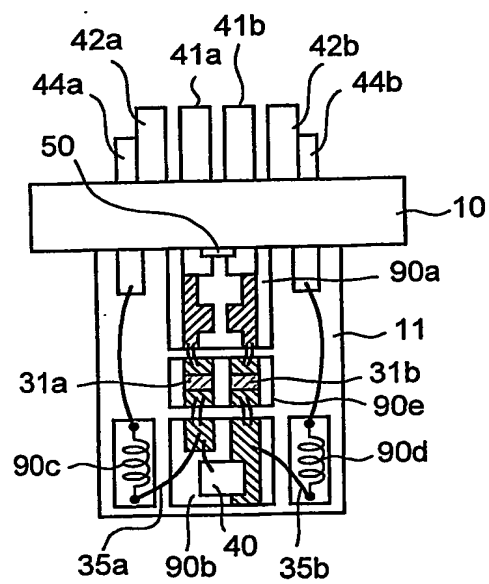
(c) 差動フィードスルーの特性インピーダンス



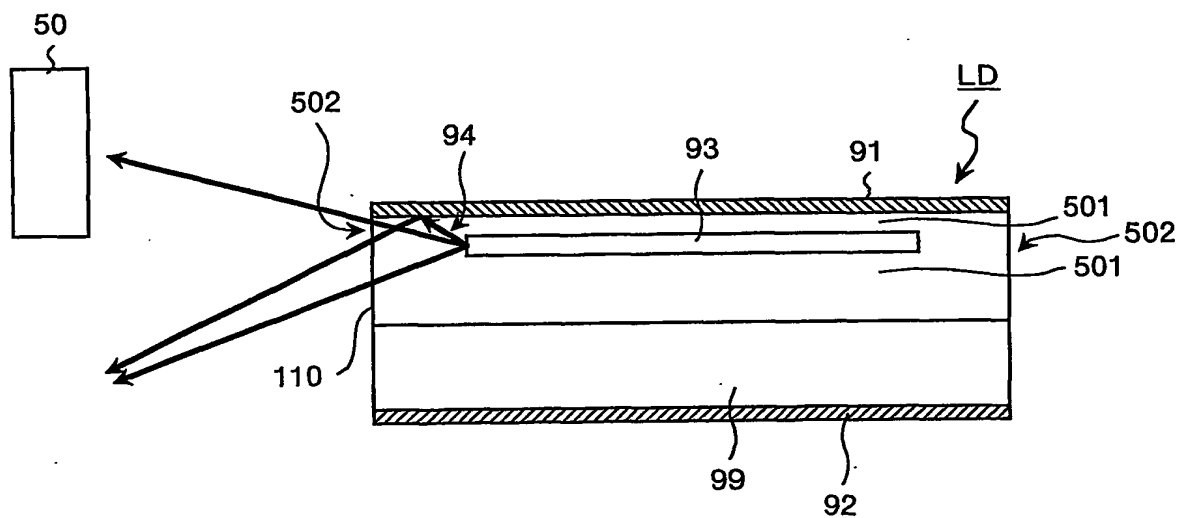
第11図



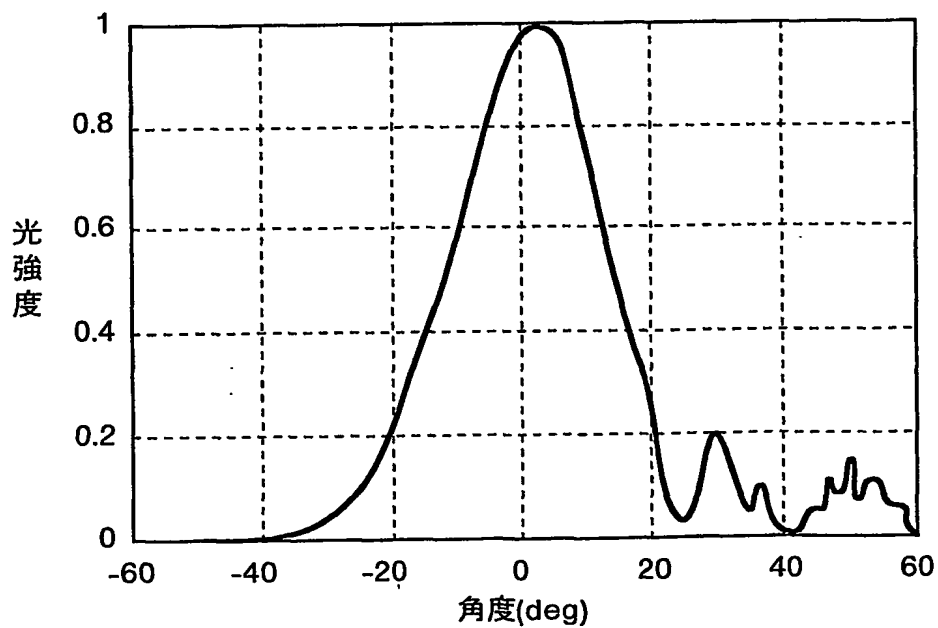
第12図



第13図



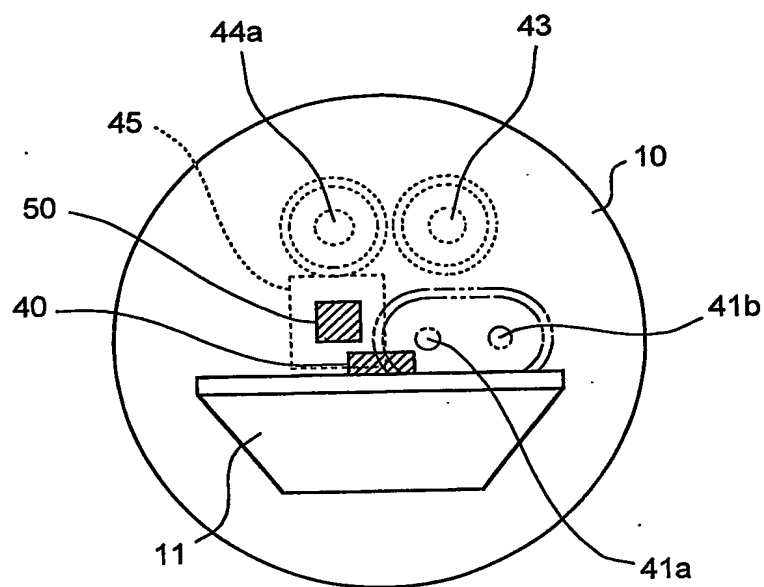
第14図



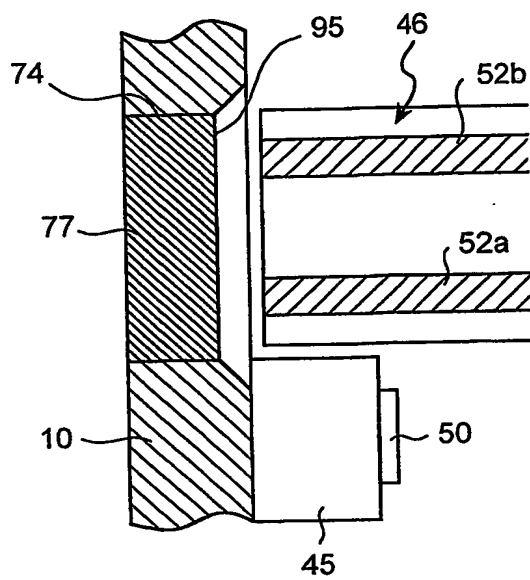
→ 半導体基板側



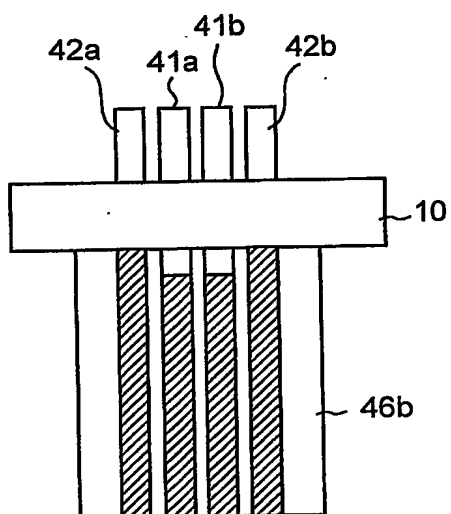
第15図



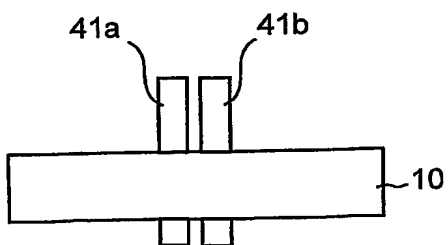
第16図



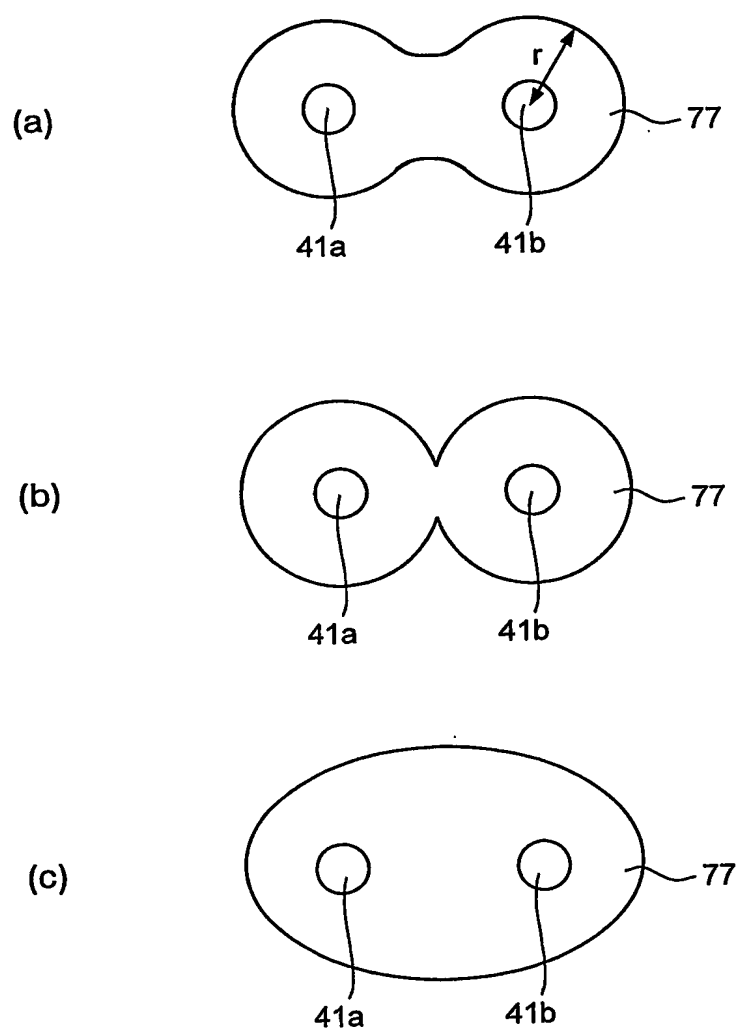
第17図



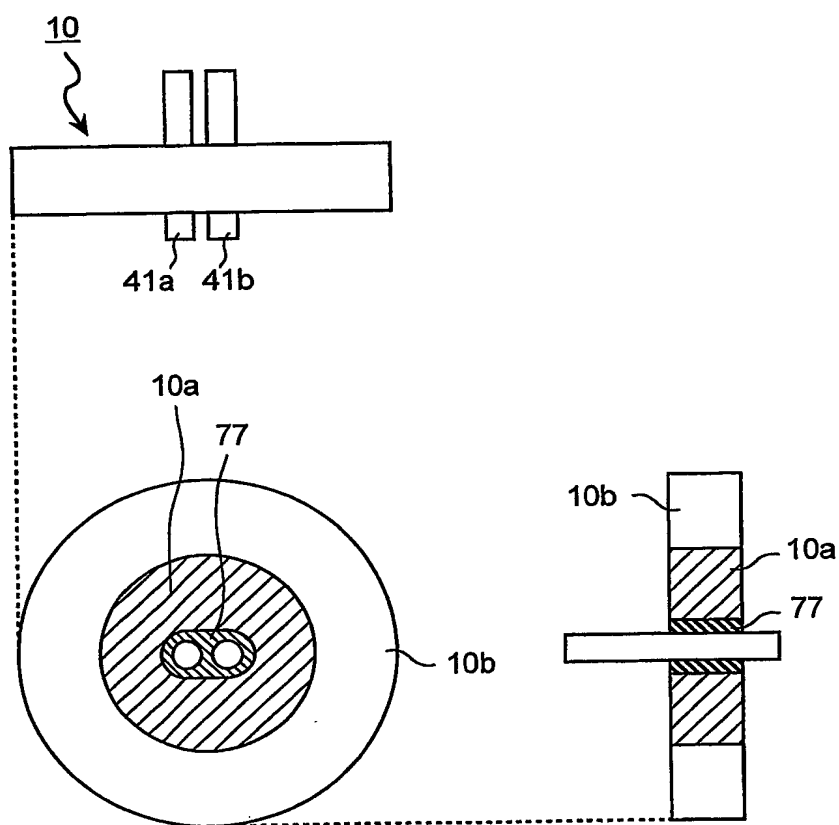
第18図



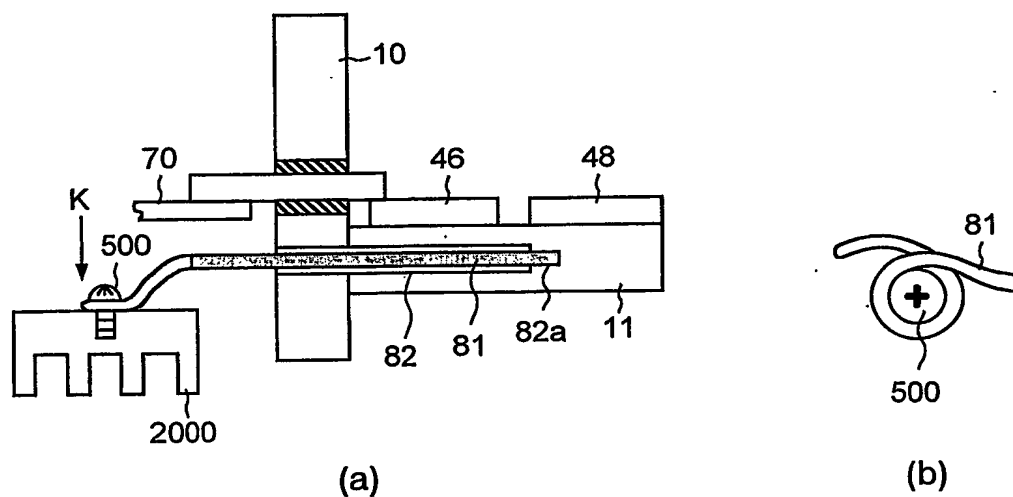
## 第19図



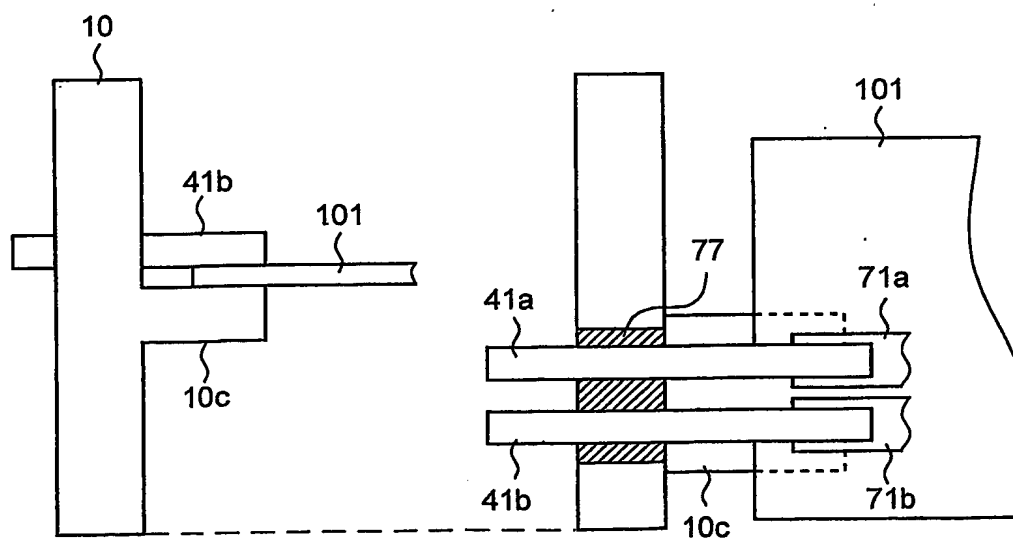
第20図



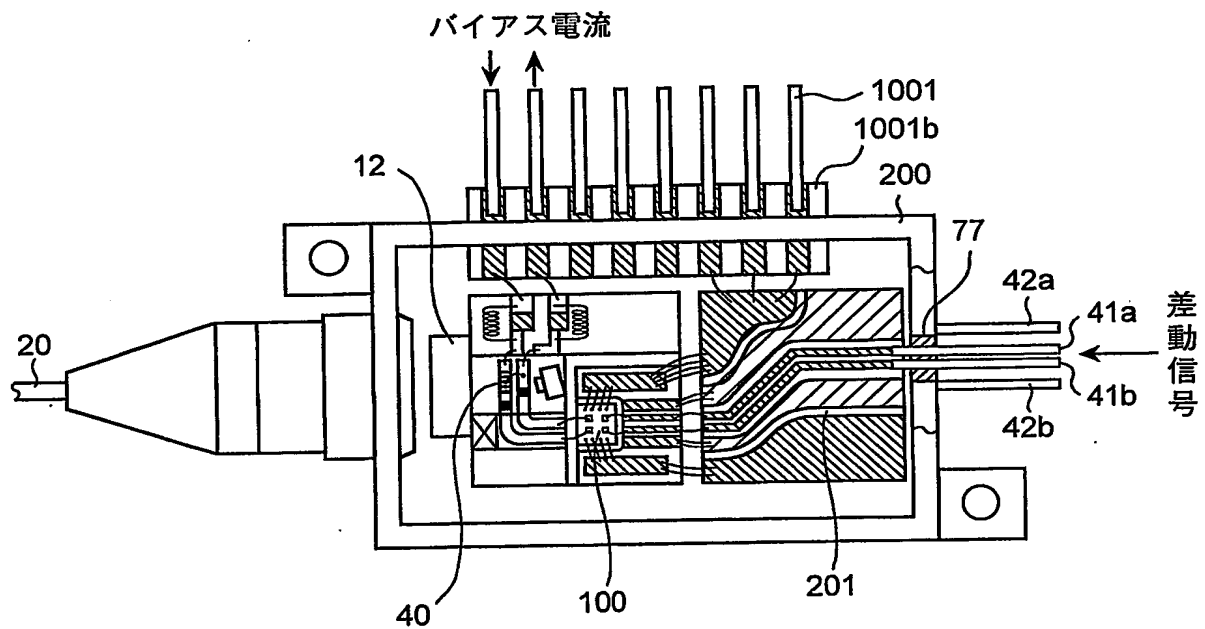
第21図



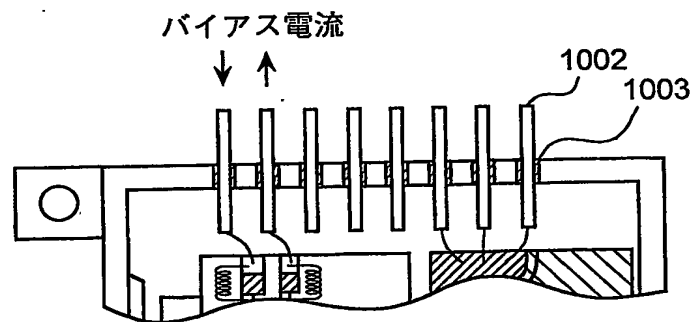
第22図



## 第23図



(a)



(b)

## A. 発明の属する分野の分類 (国際特許分類 (IPC))

Int. Cl<sup>7</sup> H01S5/022、G02B6/42

## B. 調査を行った分野

調査を行った最小限資料 (国際特許分類 (IPC))

Int. Cl<sup>7</sup> H01S5/022、G02B6/42

最小限資料以外の資料で調査を行った分野に含まれるもの

日本国実用新案公案 1922-1996年  
 日本国公開実用新案公報 1971-2003年  
 日本国登録実用新案公報 1994-2003年  
 日本国実用新案登録公報 1996-2003年

国際調査で使用した電子データベース (データベースの名称、調査に使用した用語)

## C. 関連すると認められる文献

引用文献の カテゴリー*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求の範囲の番号
A	US 5519720 A (三菱電機株式会社) 1996. 05. 21, 全文, 全図 & JP 6-314857 A & DE 4407298 A & FR 2702313 A	1-12
A	JP 11-233876 A (住友電気工業株式会社) 1999. 08. 27, 全文, 全図 (ファミリーなし)	1-12
A	JP 2000-19473 A (沖電気工業株式会社) 2000. 01. 21, 全文, 全図 (ファミリーなし)	1-12

☒ C欄の続きにも文献が列挙されている。☐ パテントファミリーに関する別紙を参照。

## \* 引用文献のカテゴリー

「A」 特に関連のある文献ではなく、一般的技術水準を示すもの  
 「E」 国際出願日前の出願または特許であるが、国際出願日以後に公表されたもの  
 「L」 優先権主張に疑義を提起する文献又は他の文献の発行日若しくは他の特別な理由を確立するために引用する文献 (理由を付す)  
 「O」 口頭による開示、使用、展示等に言及する文献  
 「P」 国際出願日前で、かつ優先権の主張の基礎となる出願

の日の後に公表された文献

「T」 国際出願日又は優先日後に公表された文献であって出願と矛盾するものではなく、発明の原理又は理論の理解のために引用するもの  
 「X」 特に関連のある文献であって、当該文献のみで発明の新規性又は進歩性がないと考えられるもの  
 「Y」 特に関連のある文献であって、当該文献と他の1以上の文献との、当業者にとって自明である組合せによって進歩性がないと考えられるもの  
 「&」 同一パテントファミリー文献

国際調査を完了した日

06. 10. 03

国際調査報告の発送日

21. 10. 03

国際調査機関の名称及びあて先

日本国特許庁 (ISA/JP)  
 郵便番号100-8915  
 東京都千代田区霞が関三丁目4番3号

特許庁審査官 (権限のある職員)  
 土屋 知久

2K 8826

電話番号 03-3581-1101 内線 3253

C (続き). 関連すると認められる文献		
引用文献の カテゴリー*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求の範囲の番号
A	JP 2000-164970 A (京セラ株式会社) 2000. 06. 16, 全文, 全図 (ファミリーなし)	1-12